

GT4 - Eletrônica

Coordenadores: Augusto S. Cerqueira e Marco Bregant

IV Workshop INCT CERN-Brasil
IFRN Natal
29 de julho de 2026

Os Objetivos

Objetivos Gerais

- A eletrônica desempenha um papel fundamental nos experimentos HEP, sendo transversal a todos os grupos e experimentos
- Aprimorar nossa colaboração com institutos parceiros, aumentar as capacidades de nossos laboratórios e intensificar a colaboração com a indústria brasileira

Composição

Experimentos e grupos:

- Experimento ALICE
(UFRGS e USP)
- Experimento ATLAS
(UFRJ, USP, UFJF, UERJ,
UFRN e UFBA)
- Experimento CMS
(UNESP)

Pesquisadores

- | | |
|-------------------------------|-------|
| • Augusto Santiago Cerqueira, | UFJF |
| • Bernardo Peralva, | UERJ |
| • M. Beatriz Gay Ducati, | UFRGS |
| • Cristiano Krug, | UFRGS |
| • Eduardo Simas, | UFBA |
| • Edmar Egídio Souza, | UFBA |
| • Paulo Cesar Machado, | UFBA |
| • Luciano Manhães, | UFJF |
| • Luigi Calligaris, | UNESP |
| • Marcelo Fernandes, | UFRN |
| • Marco Bregant, | USP |
| • Marco Leite, | USP |
| • Natanael Moura Junior, | UFRJ |
| • João Victor da Fonseca | UFRJ |
| • Thiago Paschoalin | |

Objetivos Específicos

- Projeto e qualificação de novos ASICs para experimentos de Física de Altas Energias
- Desenvolvimento de sistemas eletrônicos (hardware e firmware) baseadas em tecnologias embarcadas, como FPGAs, microcontroladores e transceptores de alta velocidade
- Qualificação de tolerância à radiação de ASICs e sensores semicondutores usados nos experimentos do LHC por meio de instalações nacionais de irradiação

Atividades

Projeto e qualificação de novos ASICs

O projeto, produção e qualificação bem-sucedidos do SAMPA ASIC para o experimento ALICE permitiram o desenvolvimento de uma importante expertise que será utilizada no projeto e qualificação de novos blocos funcionais em uma tecnologia mais avançada para um novo ASIC de uso geral e a qualificação do HGCROC ASIC usado pelos experimentos CMS e ALICE

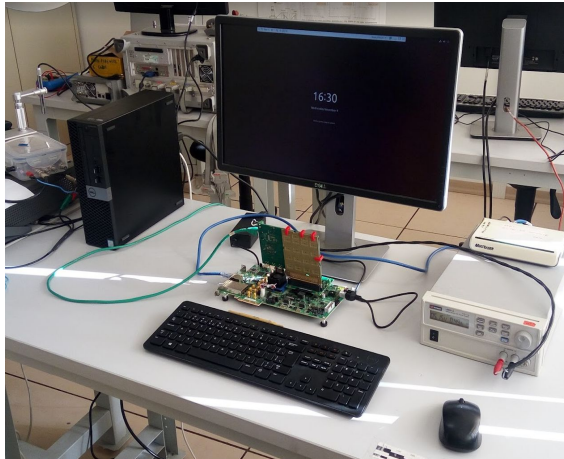
EM andamento:

- *HGCROC: [principalmente UFRGS] continua o estudo do ASICs. O Cristiano se tornou um dos expertos (dentro do FoCal) na gestão do HGCROC (varredura automática do espaço dos parâmetros de configuração, com consequente definição do conjunto óptimo) e dos firmwares dos sistemas de teste.*
- *Salsa Project: continúa a frutífera parceria com EPUSP e IRFU (Fr) para o desenvolvimento de um novo ASIC (em 65 nm) para detectores gasosos. Blocos unitários foram produzidos e validados, o primeiro protótipo da cadeira completa está em fase de submissão.*

Alice FoCal: Estudos do HGCROC

O futuro calorímetro forward do ALICE utilizará o **HGCROC readout ASIC**:

- 10^3 faixa dinâmica
- 72 canais
- **7900+ parâmetros a serem ajustados!**



Bancada de testes do HGCROC, baseada no Kit de Avaliação UltraScale™ FPGA KCU105

Atividade nos últimos 12 meses:

- Caracterização e parametrização do readout ASIC HGCROC em 3 versões de PCBs e empregando 2 bitstreams
 - PCBs conforme local do test bench:
 - UFRGS
 - Variable Energy Cyclotron Centre (VECC - Calcutá, Índia)
 - University of Tsukuba
 - Bitstreams conforme a origem:
 - University of Debrecen
 - Kumamoto University

Alice FoCal: Estudos do HGCROC

Metas alcançadas...

- Parametrização total da PCB no VECC com bitstream Debrecen
- Sucesso parcial na PCB de Tsukuba com bistream Debrecen
- Bitstream Kumamoto executa sem erros tanto no VECC quanto em Tsukuba
- Siemens SIMATIC WinCC Open Architecture em execução na UFRGS licenciado pelo CERN

...e atividades em andamento:

- Debug da PCB instalada na UFRGS (timeout issue)
- Montagem de circuito externo para injeção de sinal
- Proposta de finite state machine (FSM) structure para DCS de FoCal

Desenvolvimento de sistemas embarcados

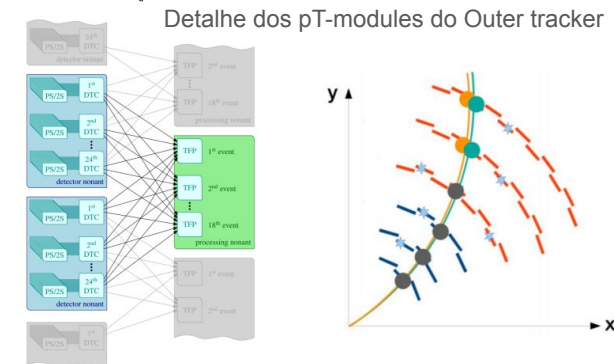
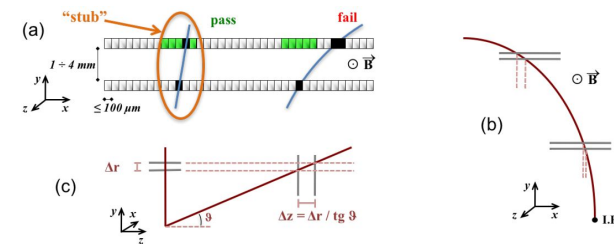
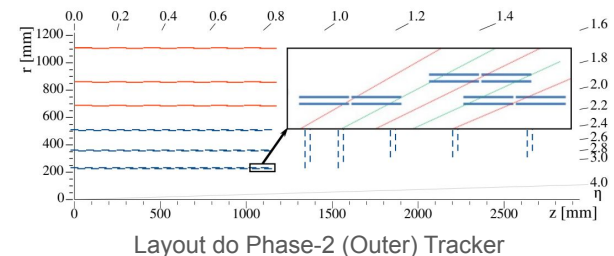
Desenvolvimento de sistemas eletrônicos baseados em tecnologias embarcadas, como FPGAs, microcontroladores e transceptores de alta velocidade, assim como o desenvolvimento de firmware e sua integração para a operação nos experimentos do LHC

Em andamento:

- *Desenvolvimento de firmware para FPGA (read-out, DAQ, L1 trigger) [CMS]*
- *Desenvolvimento de firmware para MCU (OpenIPMC, placas ATCA)*
- *Trigger de múons assistido pelo TileCal. Desenvolvimento, produção e manutenção do projeto Tilemuon (run2 e run3). Atualização para o HL-LHC*
- *Estimação de energia no TileCal e LAr. Desenvolvimento de novas técnicas e implementação em hardware FPGA para run2, run 3 e para o HL-LHC*
- *Inteligência computacional para seleção de elétrons no primeiro nível de trigger do ATLAS (NeuralRinger) e para o HL-LHC*
- *Avaliação e desenvolvimento do Felix (HGTD do ATLAS)*

CMS: Desenvolvimento de eletrônica - SPRACE/UNESP

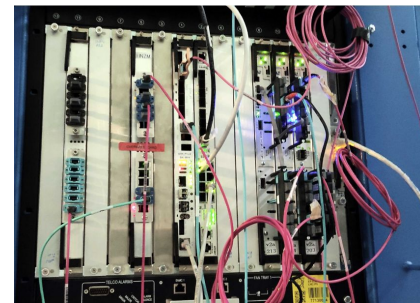
- Participação no upgrade de fase-2 de CMS
 - Fase-2: preparação do experimento para o HL-LHC
 - Novo detector → troca de toda a eletrônica
 - Reconstrução de rastros no L1T com placas FPGA
 - 12 bilhões rastros/s, 4 us latência max, eficiência ~95%
- SPRACE foca na eletrônica de back-end do tracker
 - Contribuição na testagem dos módulos do tracker
 - Integração do protocolo GBT no gateway FPGA de test "d19c"
 - Desenvolvimento novo Command Processor Block do d19c
 - Contribuição no hardware de back-end
 - Definição da especificas e avaliação das especificas do sistema
 - Desenvolvimento e produção do OpenIPMC para placas ATCA
- **OpenIPMC**: colaboração internacional liderada pelo SPRACE
 - Parceiros: KIT, Boston U., Cornell U., Imperial College, RAL, CERN



Desenvolvimento/produção do OpenIPMC



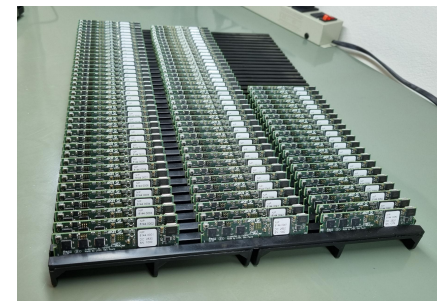
- OpenIPMC é um controlador IPMI para placas ATCA
 - Placa ATCA Apollo: upgrade do CMS (tracker + track finder) e do ATLAS
 - Placa ATCA Serenity: upgrade do CMS (tracker + HGCAL)
 - Placas ATCA para computação quântica - Alemanha (KIT, Aachen et al.)
 - Placas especiais para experimento sobre massa dos neutrinos Tristan - Alemanha (KIT et al.)
- CMS precisa de 1000 OpenIPMCs e ATLAS ~150 (sob resp. da BU)
- Produção de 12 (2021, v1.1) e 82 (2024, v1.2) protótipos para CMS
- “pre-produção”, v1.2a (final) , de 100 placas na primeira metade do 2025
- validada no CERN
- Lote final de **1000 placas para CMS (v1.2a) produzido** em seguida
 - Empresas BR: gerenciamento prod. (Lynx), produção PCI (Circuibras), montagem (Polycomp)
- OpenIPMC estão sendo integradas nas placas Apollo e Serenity.
- OpenIPMC serão usada nos back-ends do Tracker e no HGCAL do CMS
- Aluno de doutorado (FAPESP-BEPE) trabalhando na melhoria do código



Um rack no CERN com placas ATCA Serenity e Apollo, usuárias do OpenIPMC



Frente e retro da OpenIPMC versão 1.2a



Primeiras 100 placas do lote final de 1100 (LYNX, São Paulo, 5 Agosto 2025)

ATLAS: Trigger

Trigger de Elétrons e Fótons em Hardware Run4 (ATLAS Phase-II)

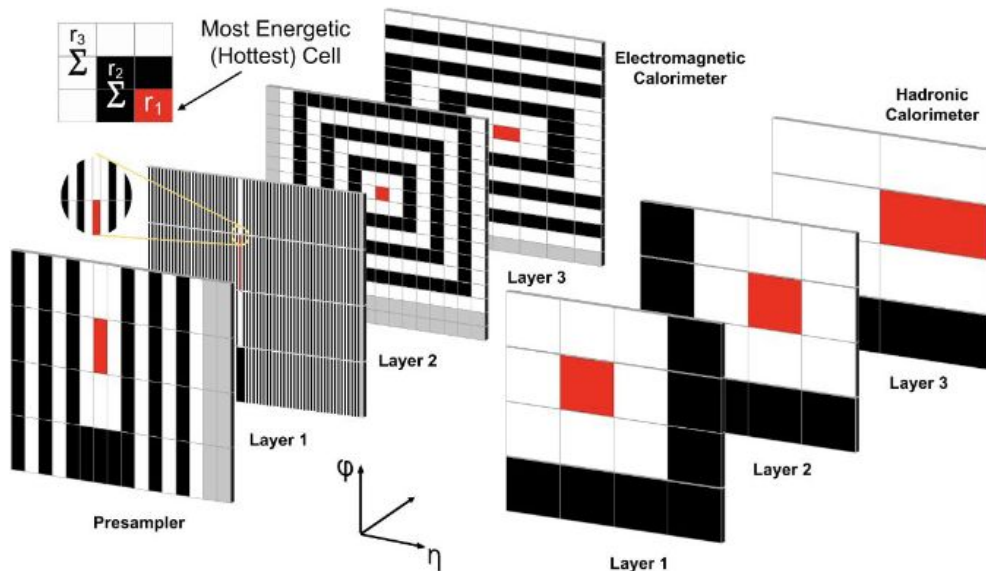
Projeto com objetivo de desenvolver soluções de inteligência computacional em eletrônica embarcada.

Atividades:

- **ATLAS Qualification Task em Andamento - Nestor Neto (UFBA).**
 - Continuação/melhoramento do firmware do algoritmo de [NeuralRinger](#) para identificação de elétrons e fótons em Nível 0. Estudante em intercâmbio de doutorado na University of Manchester - UK (Financiamento CNPq) investigando redes neurais embarcadas em hardware, síntese de hardware em alto nível, e codificação de fluxo de dados em hardware.
- **ATLAS Qualification Task Finalizada - Igo Amauri (UFBA).**
 - Protótipo do firmware do algoritmo NeuralRinger, escrito em VHDL e em integração com o [Global Event Processor framework](#).
 - Colaboração com IF/UNLP sendo apoiada pelo LASF4RI, com uma semana de trabalho de membro da UNLP em Salvador/BA. Visita de Igo Amauri na UNLP / Argentina (CLAF Mobility Program).
- **Participação no grupo L0 Global Trigger Algorithm Panel (TAP Review)**
 - Colaborando no TAP Review para discussão e revisão da tecnologia dos dispositivos do L0 Global Trigger: [ATLAS Technical Note sendo escrita](#).

ATLAS: The Neural-Ringer Algorithm

"The Neural-Ringer algorithm is a machine learning–based technique developed to distinguish electrons and photons from background jets in ATLAS"

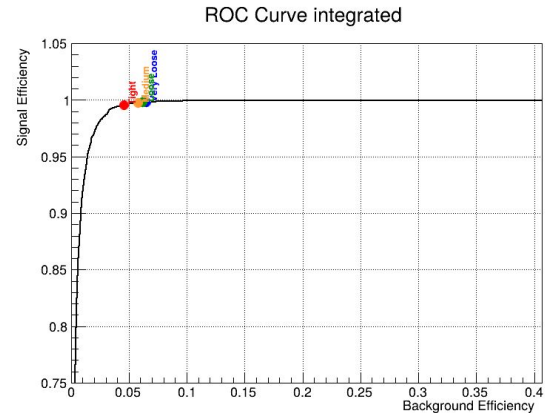
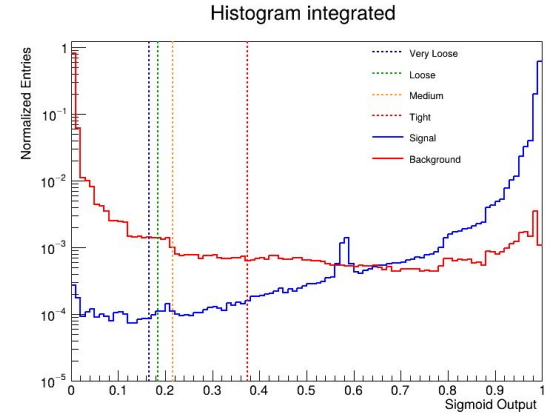


- Defines rings in calorimeter, with each ring representing a sum of energy from cells within it.
- The energy deposited in each ring is normalized by the total transverse energy in the Region of Interest. Therefore, the resulting features describe the shower profile across a wide E_t range.
- The MLP neural networks are trained using simulated datasets and optimized for specific E_t and η bins.
- Focuses on optimizing the selection of electrons and photons, by reducing CPU demands and improving efficiency, presently at the HLT. Calibration Ringer based technique being developed
- Since Run 2, the Ringer algorithm has operated in the Fast Step of the High-Level Trigger.

Neural-Ringer Alg.; identification efficiency

- Generated data from hardware simulation
- Evaluated new operating points
- Matched the efficiency of the software implementation
- Computed the corresponding fake rates
- Assessed the impact of the hardware implementation

Operational Points	Efficiency		Fake Rate	
	Software	Hardware	Software	Hardware
Very Loose	99.82	99.82	6.86	6.87
Loose	99.8	99.8	6.56	6.55
Medium	99.76	99.76	6.07	6.06
Tight	99.58	99.58	4.8	4.79



Neural-Ringer Algorithm: Documentation!!

Development Report



PPGEEC
Programa de Pós-Graduação em Engenharia Elétrica
Instituto de Física de Caruaru - UFPE



NeuralRing Algorithm GEP Integration

Development Report

Contents

List of Figures	3
List of Tables	4
1 Scope and Objectives	5
1.1 Neural Ringer Algorithm	5
1.2 Global Trigger - Lo	5
1.3 Global Event Processor - GEP	5
2 GEP Integration	6
2.1 GEP definitions: gpy, pkg, vbl	6
3 Neural Ringer API Architecture	7
3.1 neural_ringer_pkg.vbl	8
3.2 Comments Definition	8
3.2.1 General	8
3.2.2 TOR Field Boundaries	8
3.2.3 Layers	9
3.2.4 Number of rings per layer	9
3.2.5 Ring index boundaries per layer	10
3.3 Data Types Definition	10
3.4 Constant initializations for defined types	11
4 Finite State Machines	12
4.1 Read FSM	12
4.2 Write FSM	14
5 Feature Extraction - FEX	15
5.1 FIFO Unpacker Stage	15
5.1.1 Seed Finder	15
5.1.2 Separating FIFO Cells	15
5.2 Distance Computer Stage	16
5.3 Ring Inserter Stage	17
5.4 Et and Layer Extractor Stage	17
5.5 Ring Builder Stage	18
5.5.1 First, Second, Third and Fourth Cell Accumulator Blocks	18
5.5.2 Result Accumulator	18
6 Normalization Block	19
6.1 Resampler	19
6.1.1 Loading Data Count - Shift Normalization	20
6.1.2 Resampler LUT	20
6.1.3 Newton-Raphson Method	21
6.2 Multiplication Normalizer	21

Finite State Machines

To manage the internal operations, the algorithm employs a set of Finite State Machines (FSMs). This chapter provides a detailed explanation of the FSMs implemented in the Neural Ringer.

4.1 Read FSM

Basically, this module implements a finite state machine to control FIFO read operations for the Neural Ringer algorithm. It manages the read enable signal and provides status signals for valid data and end-of-event detection. Now let us see how the Read FSM handles the control signals from the FEX and manages them to start the FEX pipeline.

Basically, this module implements a Finite State Machine (FSM) to control the FIFO read operations for the Neural Ringer algorithm. It handles the control signals from the FEXs and manages them to start the FEX pipeline. So we should begin understanding the FIFO signal controls, a good reference is the waveform shown in the Figure 4.1, it gives an example of how the data is provided by the FIFO.

We can see that the waveform is divided into different sections¹. For now, the signals of interest are all those in the APP to APV section and the signal `rd_en`, located in the APV to APP section. By examining the waveform in detail, we can understand how the status signals `empty`, `valid`, `rd_data`, and `rd_last`, as well as the command signal `rd_en`, operate.

At the beginning, the FIFO has no available data, so the `empty` signal is high. For the FIFO to start providing data, the `rd_en` signal must be asserted, as a result, `empty` goes low, and in the next clock cycle, the `valid` signal goes high, indicating that the data is now available.

If, during the reading process, `empty` goes high again, `valid` will go low in the following clock cycle, and the data becomes invalid. When `empty` returns low, the reading process resumes from where it stopped, continuing until the end of the data event. The `rd_last`, which is the signal that indicates the end of the data transmission, rises two clock cycles before the data runs out.



Figure 4.1: APP to APV Timing (CERN 2013)

A Mealy FSM was chosen, meaning that the output signals change instantaneously in response to changes in the input signals. Moreover, this approach allows the implementation of two separate processes: one acting as the state register, which updates the current state on each clock cycle, and another responsible for the output and next-state logic. The latter process contains only combinational logic.

Another important aspect to consider when analyzing the Read FSM is the convention adopted for constructing a Mealy FSM diagram. Each state name is displayed within its corresponding state symbol, represented by a circle. The initial state, namely, the state active immediately after a reset, is indicated by an arrow

¹The sections are separated by fences on the left side of the waveform.

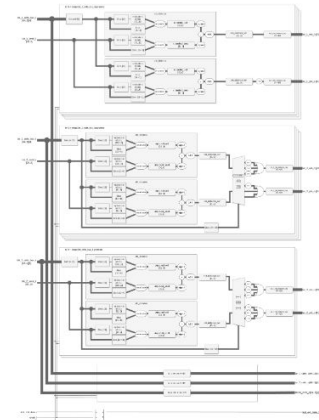


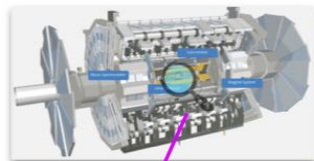
Figure A.2: Distance Compute Stage

A draft document has been developed describing the operation mode and implementation details of the Neural Ringer system.

Neural-Ringer, summary of Achievements

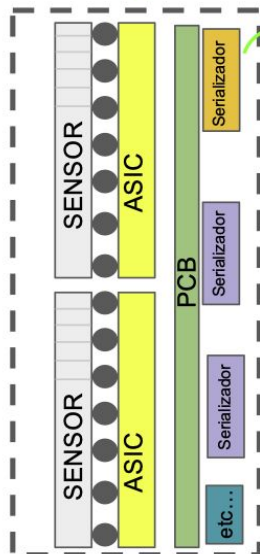
1. **Design an improved NeuralRinger architecture** done!
2. **Assess the electron identification efficiency** done!
3. **Investigate differences in ring profiles** done!
4. **Develop and implement a validation strategy** done!
5. **Prepare a draft of a technical note** 70%
6. **Explore and compare input normalization techniques** 80%
7. **Maintain and document the code** 90%
8. **Report progress regularly** done!
9. **Evaluate the processing time** 25%

FELIX



Trigger e Timing

FELIX



Detector

48 fibras
140m
(+)25Gb/s/fibra

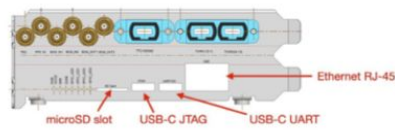
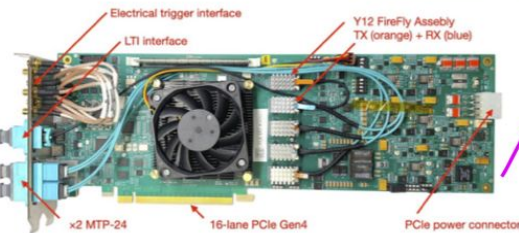


Figure 3.2 The FLX-182 card.

FELIX : Front End Link EXchange

- Aprox. 800 cartões PCIe Gen5x16
- FPGA AMD Versal Premium
- SAMTEC optical transceiver (12 fibras)
- DDR4



- Aprox. 350 servidores apenas para aquisição (2 FELIX por servidor)
- Rede interna 400Gb/s

- Esse hardware será utilizado pelos próximos 20 anos no ATLAS (definido)
- Outros potenciais usos
 - CNPEM/Sirius (Nova geração de detectores de RX)
 - Outros experimentos do LHC (ALICE , LHCb)
 - **Catalisado através do INCT CERN/Brasil**

FLX-155, fabricação no Brasil (plano)

Primeira Etapa : validar o processo no Brasil, e “certificar” as empresas

- Projeto piloto de aproximadamente 12 placas, com distribuição para o CNPEM/SIRIUS, ATLAS, ALICE, LHCb, Terceiros
- Desenvolvimento de uma bancada de testes (servidores, BERT, Power Analyzer, Osciloscópio, software de desenvolvimento etc.)
- Componentes principais devem ser adquiridos via CERN (acordo com AMD-AVNET, SAMTEC)
- O projeto será acompanhado em todas as etapas pelo grupo de desenvolvimento do FELIX e pela coordenação do ATLAS, USP e CNPEM/Sirius
- Uma gerência de projeto deverá ser estabelecida para acompanhar os prazos, custos e entregáveis
- Não existe flexibilidade no design : deve seguir exatamente o definido pelo ATLAS

Segunda Etapa : tendo demonstrado a capacidade local de produção:

- Possibilidade de fornecimento (em parte) dos FELIX do ATLAS (novo acordo)
- Possibilidade de fornecimento para outros experimentos e CNPEM/Sirius(novo acordo)
- As empresas envolvidas podem utilizar este caso como prova de capacidade para participar de outras encomendas desse tipo para o CERN (projeto para o futuro **NetFelix** [apelido atual, não ainda oficial...])
- Acesso ao estado-da-arte em tecnologia, capacitando outros *spin-offs* pelos envolvidos

FLX-155, fabricação no Brasil (“status”)

O projeto, depois longas discussões também com o CNPEM (fortemente interessado) está em andamento:

- Motivação/contexto/desafios  é muito desafiante, porém é uma grande oportunidade!
- Planilha de custos  componentes, fabricação placa, montagem, etc.. e testes e validação
- Cronograma detalhado   tem um plano!
- Levantamento de riscos e plano de mitigação 
- Documentação, organização, gerenciamento  em andamento
- Manpower 
- Aspectos legais   deu um “pouquinho” de trabalho, mas está resolvido!
- Licenças de importação para partes sensíveis (Link óptico, FPGA)  idem o anterior, resolvido!

As empresas com a potencial capacidade técnica (e o interesse) foram individuadas e contatadas. Em processo de “homologação”:

verificar capacidade técnica (e “burocráticas), “disposição” de se comprometer, produção e avaliação de amostras para validar os processos.

Primeiras produção prevista no começo do 2027

Qualificação de tolerância à radiação

Qualificação de tolerância à radiação de ASICs e sensores semicondutores usados nos experimentos do LHC por meio de instalações nacionais de irradiação. Esses estudos são de grande relevância não apenas para os experimentos do LHC, mas para diversas áreas estratégicas no Brasil, uma vez que circuitos integrados (CI) são fortemente influenciados pela radiação e a necessidade de circuitos tolerantes à radiação é crescente para atender, por exemplo, a indústria eletrônica aeroespacial

Em andamento / fluxo contínuo:

- irradiação de sensores de silício (LGAD etc.)
- irradiação de blocos unitários (FE, ADC, PLL, etc) de futuros ASICs

Dispêndios

Previsão orçamentária (original)

Item	Valor	Rubrica	Tipo	Colaborações	Instituições
Digilent Zedboard	R\$ 10.812,00	Consumo	Importado	CMS	UNESP
Digilent Zedboard	R\$ 13.515,00	Consumo	Importado	ALICE/ATLAS	USP
Saleae PCBite kit	R\$ 895,70	Consumo	Importado	CMS	UNESP
Terasic DE1-Nano SoC kit	R\$ 1.139,50	Consumo	Importado	CMS	UNESP
Kit VCU128	R\$ 57.208,20	Consumo	Importado	ATLAS	UFRJ
Xilinx KCU105	R\$ 21.200,00	Consumo	Importado	ALICE	UFRGS
Fonte Keithley SMU2470	R\$ 66.790,60	Capital	Importado	ALICE/ATLAS	USP
Fonte Keithley SMU2470	R\$ 66.790,60	Capital	Importado	CMS	UNESP
Gerador de sinais Keysight 33622	R\$ 43.460,00	Capital	Importado	ALICE	UFRGS
Fontes LV	R\$ 11.130,00	Capital	Importado	ALICE	UFRGS
Segger J-Trace PRO Cortex debugger	R\$ 14.066,20	Capital	Importado	CMS	UNESP
Saleae Logic Pro 16 logic analyzer	R\$ 14.840,00	Capital	Importado	CMS	UNESP
Xilinx three-mode Ethernet MAC (TEMAC) license	R\$ 39.750,00	Software		CMS	UNESP

Planejamento de Dispendios (Setembro 2023:)

Item		Valor (R\$)	Experimento	Instituições	Prioridades	Tot. Dispendios
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R\$66,000.00	CMS	UNESP	0	R\$66,000
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R\$66,000.00	ALICE/ATLAS	USP	0.05	R\$132,000
PicoScope 2208B MSO	Logic Analyzer / oscilloscope 2 channel 100MHz	R\$6,100.00	CMS	UNESP	0.4	R\$138,100
Xilinx TEMAC-SITE	IP Core for FPGAs	R\$24,630.00	CMS	UNESP	0.6	R\$162,730
Segger J-Trace Pro	Debugger/programmer/emulator multi-MCU	R\$12,200.00	CMS	UNESP	0.8	R\$174,930
Xilinx KCU105	Devboard FPGA Kintex Ultrascale XCKU040	R\$21,200.00	ALICE	UFRGS	0.9	R\$196,130
Keysight 33622	Gerador de sinais	R\$43,460.00	ALICE	UFRGS	1.2	R\$239,590
Digilent Zedboard	4x Devboard FPGASoC Zynq XC7Z020	R\$10,812.00	CMS	UNESP	1.5	R\$250,402
Fontes LV	Fontes de bancada (padrão, de boa qualidade)	R\$11,130.00	ALICE	UFRGS	1.6	R\$261,532
Xilinx VCU128	Devboard FPGA Virtex Ultrascale+ VU37P HBM	R\$57,208.20	ATLAS	UFRJ	2	R\$318,740
Digilent Zedboard	5x Devboard FPGASoC Zynq XC7Z020	R\$13,515.00	ALICE/ATLAS	USP	2.2	R\$332,255
Terasic DE-10 Nano	Devboard FPGASoC CycloneV 5CSEBA6U2317	R\$1,139.50	CMS	UNESP	3.0	R\$333,395
Saleae PCBite Kit	Kit contatos	R\$895.70	CMS	UNESP	3.5	R\$334,290
Saleae LogicPro 16	Logic Analyzer	R\$14,840.00	CMS	UNESP	3.5	R\$349,130

Situação despesas

Item		Previsão [R\$]	Experiment	Institu ições	já compramos	Progressão Gasto	Previsão Progressão	Commentários
Screenshot								
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R\$66,000.00	CMS	UNESP	R\$60,882	R\$60,882	R\$66,000	Compra conjunta com osciloscópio do Gt3. Desconto na compra, e economia de escala na importação.
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R\$66,000.00	Ali/At1	USP	R\$60,882	R\$121,764	R\$132,000	
DMM	Multímetro de bancada	/	Al/At/CMS	Unesp/Us	R\$17,823	R\$139,587	R\$132,000	
PicoScope 2208B MSO	Logic Analyzer / oscilloscope 2 channel 100MHz	R\$6,100.00	CMS	UNESP	R\$20,184	R\$159,770	R\$138,100	trocado pra a versão atualizada PicoScope® 5244D MSO, comprado
Xilinx TEMAC-SITE	IP Core for FPGAs	R\$24,630.00	CMS	UNESP	R\$0	R\$159,770	R\$162,730	obtido de graça (doação?)
Segger J-Trace Pro	Debugger/programmer/emulator multi-MCU	R\$12,200.00	CMS	UNESP	R\$20,000	R\$179,771	R\$174,930	comprado.
Xilinx KCU105	Devboard FPGA Kintex Ultrascale XCKU040	R\$21,200.00	ALICE	UFRGS	R\$0	R\$179,771	R\$196,130	reposicionamento da contribuição brasileira no FoCal. Revisando prioridade internas.
Keysight 33622	Gerador de sinais	R\$43,460.00	ALICE	UFRGS	R\$0	R\$179,771	R\$239,590	
osciloscópio + pontas		R\$0.00	ALICE	UFRGS	R\$75,600	R\$255,371	R\$239,590	
Digilent Zedboard	4x Devboard FPGASoC Zynq XC7Z020	R\$10,812.00	CMS	UNESP	R\$19,017	R\$274,388	R\$250,402	comprado. (1 AMD Zynq UltraScale+™ MPSoC ZCU102 Evaluation Kit)
Fontes LV	Fontes de bancada (padrão, de boa qualidade)	R\$11,130.00	ALICE	UFRGS	R\$0	R\$274,388	R\$261,532	valor usado pra conseguir o osciloscópio
Xilinx VCU128	Devboard FPGA Virtex Ultrascale+ VU37P HBM	R\$57,208.20	ATLAS	UFRJ	R\$0	R\$274,388	R\$318,740	compra ainda em aberto... provavelmente precisa ir pra algo mais simples...
Digilent Zedboard	5x Devboard FPGASoC Zynq XC7Z020	R\$13,515.00	Ali/At1	USP	R\$0	R\$274,388	R\$332,255	retirado
Terasac DE-10 Nano	Devboard FPGASoC CycloneV 5CSEBA6U23I7	R\$1,139.50	CMS	UNESP	R\$0	R\$274,388	R\$333,395	mudaram as prioridades no CMS/Unesp, não mais útil
Saleae PCBite Kit	Kit contatos	R\$895.70	CMS	UNESP	R\$0	R\$274,388	R\$334,290	
Saleae LogicPro 16-	Logic Analyzer	R\$14,840.00	CMS	UNESP	R\$0	R\$274,388	R\$349,130	
Ettus USRP B210 SDR	Universal Software Radio Peripheral (USRP™)???		CMS	UNESP	R\$15,492	R\$289,880	R\$349,130	CMS/Unesp re-endereçamento da verba acima
Kria KR260	2 Robotics Starter Kit		CMS	UNESP	R\$4,593	R\$294,473	R\$349,130	
ADALM-PLUTO SDR	2 Portable self-contained RF learning module		CMS	UNESP	R\$2,539	R\$297,012	R\$349,130	
						R\$297,012	R\$349,130	
Boa concordância “geral” com a planilha da Thaissa. Detalhes “finos” precisam ainda ser consertados. Desequilíbrio capital/custeio							R\$52,118	<=Saldo (com corte 2023)
							R\$64,586	<=Saldo (alocado original)

Considerações Finais

Considerações Finais

- As atividades e entregas previstas pelo GT avançaram satisfatoriamente no período
- Aparentemente teve um grande desequilíbrio entre custeio e capital. A ser entendido quanto foi só despesas cadastradas na “categoria errada” e quanto teremos que procurar compensar com outros GTs ou solicitar ajustes...
- Prioridades para o próximo período:
 - Conseguir a kit FPGA que serva as atividades do ATLAS.
 - Ampliar a Integração entre os grupos no GT4 e entre os GTs