



Contribution ID: 69

Type: **not specified**

## **Clase 1: FPGAs para la aceleración de algoritmos de Machine Learning**

*Monday 23 November 2020 09:00 (2 hours)*

El objetivo de este taller es mostrar y hacer uso de herramientas para la aceleración de la etapa de inferencia de algoritmos de Machine Learning en FPGA/SoC, así como los pasos para llegar a la implementación final del sistema completo en esta la tecnología, remarcando qué es lo que debe tenerse en cuenta a la hora de implementar este tipo de algoritmos en estos dispositivos, así como los avances que se han hecho en esta dirección. A través de un caso de estudio en el contexto de LAGO, los asistentes avanzarán en cada etapa del flujo de diseño e implementación: creación de la red neuronal, generación del bloque IP para la inferencia mediante paquetes y herramientas de síntesis de alto nivel, creación del hardware final y de la aplicación a nivel procesador.

**Presenter:** Dr MOLINA, Romina

**Session Classification:** Curso