GT4 - Eletrônica

Coordenadores: Augusto S. Cerqueira e Marco Bregant

II Workshop INCT CERN-Brasil
IFUSP São Paulo
2-3 de Julho de 2024

Os Objetivos

Objetivos Gerais

- A eletrônica desempenha um papel fundamental nos experimentos HEP, sendo transversal a todos os grupos e experimentos
- Aprimorar nossa colaboração com institutos parceiros, aumentar as capacidades de nossos laboratórios e intensificar a colaboração com a indústria brasileira

Composição

Experimentos e grupos:

- Experimento ALICE (UFRGS e USP)
- Experimento ATLAS (UFRJ, USP, UFJF, UERJ, UFRN e UFBA)
- Experimento CMS (UNESP)

Pesquisadores

- Augusto Santiago Cerqueira, UFJF
- Bernardo Peralva, UERJ
- M. Beatriz Gay Ducati, UFRGS
- Cristiano Krug, UFRGS
- Eduardo Simas, UFBA
- Luciano Manhães, UFJF
- Luigi Calligaris, UNESP
- Marcelo Fernandes, UFRN
- Marco Bregant, USP
- Marco Leite, USP
- Natanael Moura Junior, UFRJ

Objetivos Específicos

- Projeto e qualificação de novos ASICs para experimentos de Física de Altas Energias
- Desenvolvimento de sistemas eletrônicos (hardware e firmware) baseadas em tecnologias embarcadas, como FPGAs, microcontroladores e transceptores de alta velocidade
- Qualificação de tolerância à radiação de ASICs e sensores semicondutores usados nos experimentos do LHC por meio de instalações nacionais de irradiação

Atividades

Projeto e qualificação de novos ASICs

O projeto, produção e qualificação bem-sucedidos do SAMPA ASIC para o experimento ALICE permitiram o desenvolvimento de uma importante expertise que será utilizada no projeto e qualificação de novos blocos funcionais em uma tecnologia mais avançada para um novo ASIC de uso geral e a qualificação de o HGCROC ASIC usado pelos experimentos CMS e ALICE

EM andamento:

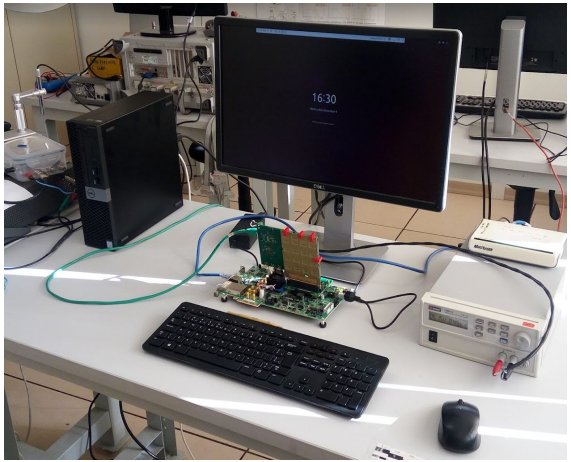
- *HGCROC: [USP+UFRGS] estudo e qualificação (estudo do espaço dos parâmetros de configuração, qualificação de desempenho reproduzindo em laboratório condições experimentais específicas, quais alta taxa e/ou grande dinâmica)*
- *Salsa Project: participação na colaboração com EPUSP e IRFU (Fr) para o desenvolvimento de um novo ASIC (em 65 nm) para detectores gasosos. Status: primeiros protótipos do FrontEnd analógico e do 12-bit ADC fabricados e testado. Segundo protótipo já desenhado e submetido para fabricação.*

Alice FoCal: HGCROC studies

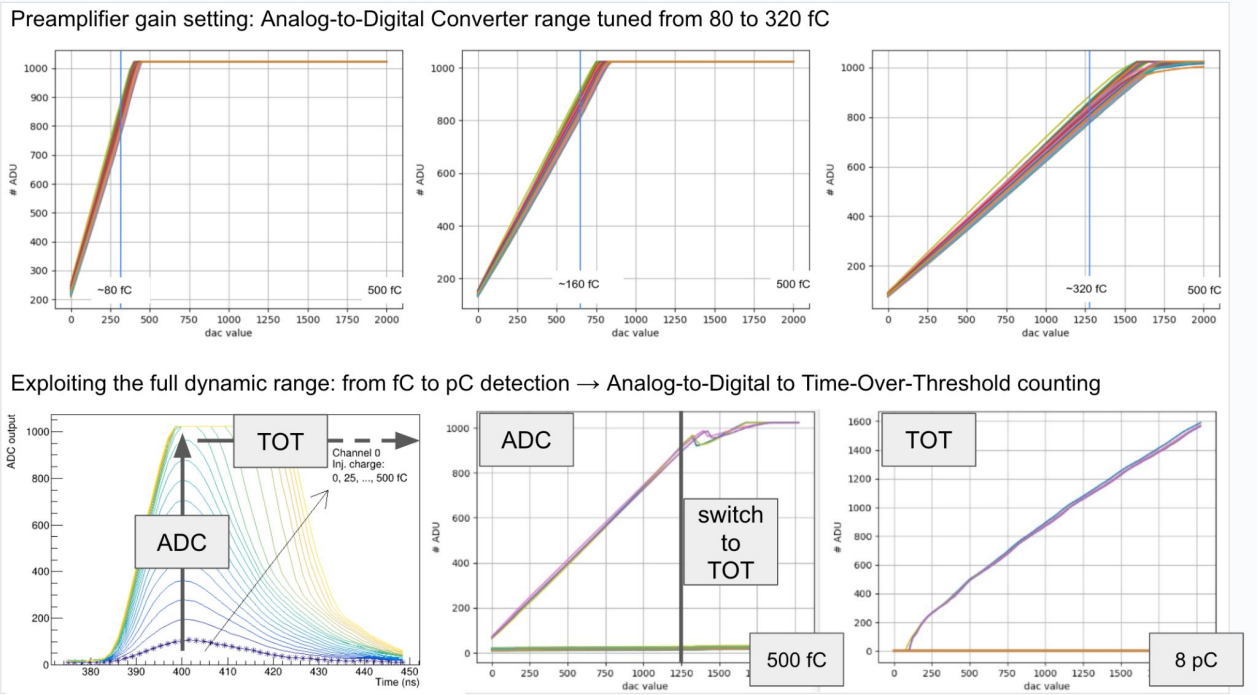
The future ALICE Forward Calorimeter will use the

HGCROC readout ASIC:

- 10^3 dynamic range
- 72 channels
- **7900+ parameters to be set!**



HGCROC testbench, based on UltraScale™ FPGA KCU105 Evaluation Kit



- We have positive results from a test bench set up in HEPIC featuring the HGCROC V1
- HGCROC V3 (final version) en route to ~~Brazil~~ UFRGS will be addressed next

Desenvolvimento de sistemas embarcados

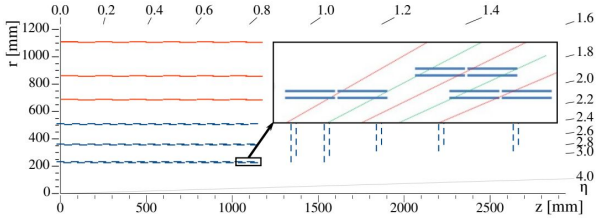
Desenvolvimento de sistemas eletrônicos baseados em tecnologias embarcadas, como FPGAs, microcontroladores e transceptores de alta velocidade, assim como o desenvolvimento de firmware e sua integração para a operação nos experimentos do LHC. Esta atividade de pesquisa faz amplo uso de componentes comerciais e compartilha ferramentas, métodos e resultados utilizados por empresas do setor industrial, resultando no estabelecimento de relações produtivas com esse setor da indústria

Em andamento:

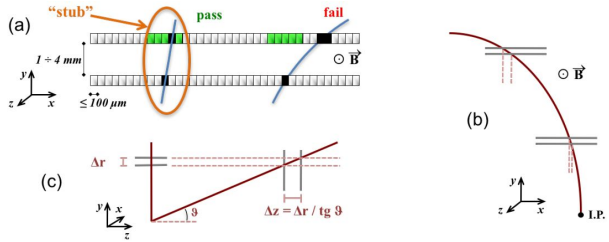
- *Desenvolvimento do FoCal User Logic para a CRU (ARRIA 10 FPGA based)*
- *Possível contribuição na revisão e manutenção do "core" firmware da CRU de Alice*
- *Desenvolvimento de firmware para FPGA (read-out, DAQ, L1 trigger) [CMS]*
- *Desenvolvimento de firmware para MCU (OpenIPMC, placas ATCA)*
- *Trigger de múons assistido pelo TileCal. Desenvolvimento, produção e manutenção do projeto Tilemuon (run2 e run3). Atualização para o HL-LHC*
- *Estimação de energia no TileCal e LAr. Desenvolvimento de novas técnicas e implementação em hardware FPGA para run2, run 3 e para o HL-LHC*
- *Inteligência computacional para seleção de elétrons no primeiro nível de trigger do ATLAS (NeuralRinger) e para o HL-LHC*

CMS: Desenvolvimento de eletrônica - SPRACE/UNESP

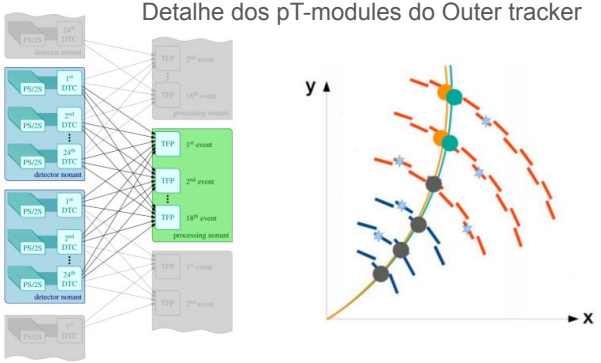
- Participação ao upgrade de fase-2 de CMS
  - Fase-2: preparação do experimento para o HL-LHC
  - Novo detector → troca de toda a eletrônica
  - Reconstrução de rastros no L1T com placas FPGA
    - 12 bilhões rastros/s, 4us latência max, eficiência ~95%
- SPRACE foca na eletrônica de back-end do tracker
  - Contribuição na testagem dos módulos do tracker
    - Integração do protocolo GBT no gateware FPGA de test “d19c”
    - Desenvolvimento novo Command Processor Block do d19c
  - Contribuição no hardware de back-end
    - Definição da específicas e avaliação das específicas do sistema
    - Desenvolvimento e produção do OpenIPMC para placas ATCA
- OpenIPMC: colaboração internacional liderada pelo SPRACE
  - Parceiros: KIT, Boston U., Cornell U., Imperial College, RAL, CERN



Layout do Phase-2 (Outer) Tracker

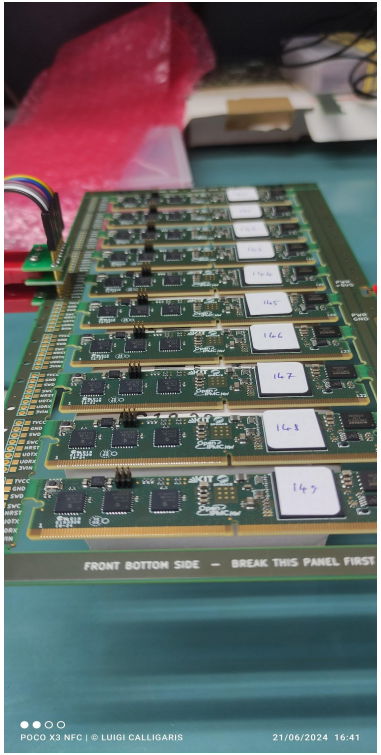


Detalhe dos pT-modules do Outer tracker



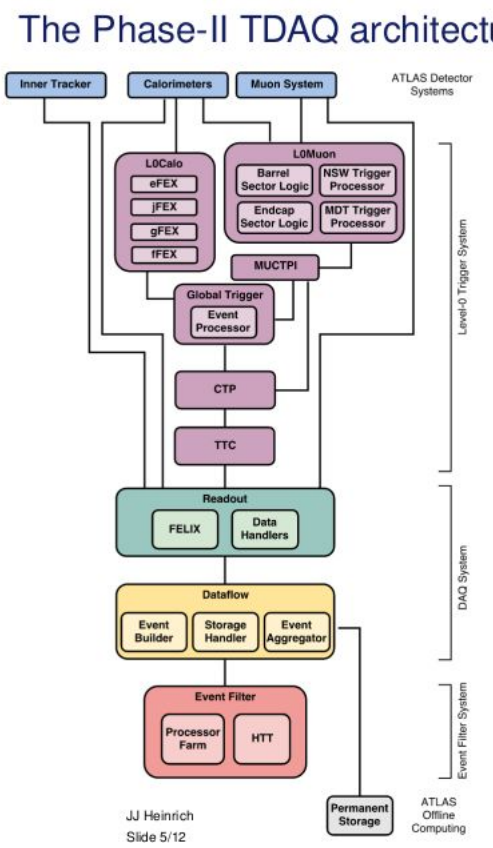
Desenvolvimento/produção do OpenIPMC

- OpenIPMC é um controlador IPMI para placas ATCA
  - Placa ATCA Apollo: upgrade do CMS (tracker + track finder) e do ATLAS
  - Placa ATCA Serenity: upgrade do CMS (tracker + HGCAL)
  - Placas ATCA para computação quântica - Alemanha (KIT, Aachen et al.)
  - Placas especiais para experimento de neutrinos Tristan - Alemanha (KIT et al.)
- Produzidas no Brasil 12 (2021, v1.1) e 82 (2024, v1.2) placas para CMS
  - Design in-house. Produção PCB e montagem inteiramente no Brasil.
    - Demonstra que o Brasil pode contribuir com projetos HW aos experimentos, se investir
    - Brasil virou membro do CERN: oportunidade de desenvolvimento da indústria nacional
- Multímetro adquirido c/ fundos INCT importante para testagem da v1.2
- CMS vai precisar de 1000 OpenIPMCs e ATLAS ~150 (sob resp. da BU)
  - Produção em volume: importância de planejamento estratégico e suporte institucional
  - Projetos de pesquisa de poucos anos não atendem bem hardware desenvolvido ao longo de 5 anos e operado por 15 anos no experimento



Painel de placas OpenIPMC 1.2 em testagem no SPRACE Lab - São Paulo, Junho 2024

ATLAS: Trigger



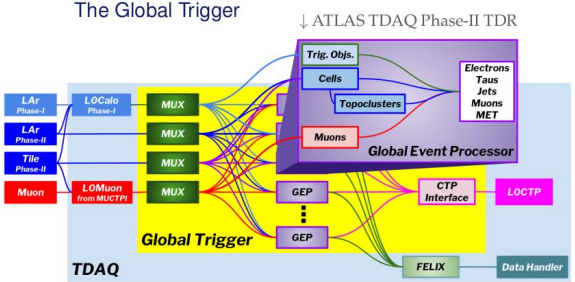
O grupo ATLAS-Brasil é responsável pela manutenção de dois algoritmos de trigger:

- HLT Fast Electron/Photon trigger baseado em redes neurais (Neural Ringer);
- Muon trigger assistido pelo Tilecal (TMDB project).

As atividades vão aumentar no próximos anos, para migrar estes sistemas para um framework de trigger L0 Global baseado em FPGA.

Global Common Module

The Global Trigger



- Placa baseada no ATCA com 2 FPGAs
- 48 GCMs in baseline design
- O modelo da FPGA será definido a breve pela colaboração ATLAS
- Proposta ATLAS: usar **Versal XCVP1802 com Adaptive SoC**

ATLAS: Trigger

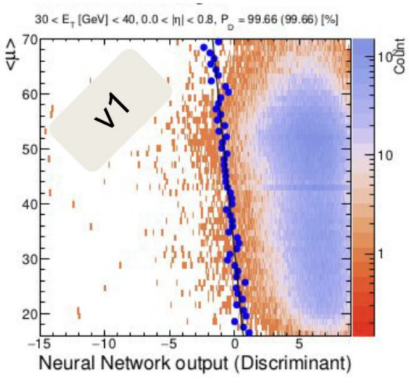
Trigger de Elétrons e Fótons em Hardware Run4 (ATLAS Phase-II)

Desenvolvimento de soluções em inteligência computacional embarcadas

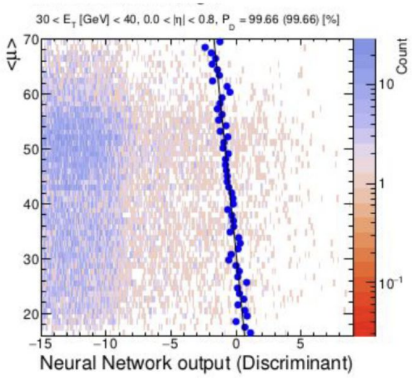
- Prova de conceito em software com emulação de parte das condições de operação no Run4. Desempenho de arquiteturas de redes neurais avaliadas em software para guiar desenvolvimentos em hardware

Em andamento e próximos passos:

- Firmware em desenvolvimento do algoritmo NeuralRinger e em integração com o Global Event Processor framework
- Colaboração com IF/UNLP sendo apoiada pelo LASF4RI, com uma semana de trabalho de membro da UNLP em Salvador/BA. Projeto submetido para 1 semana de trabalho de Igo Amauri na UNLP / Argentina (CLAF Mobility Program)
- Colaborando no TAP Review para discussão e revisão da tecnologia dos dispositivos do L0 Global Trigger: ATLAS Technical Note sendo escrita



Electron



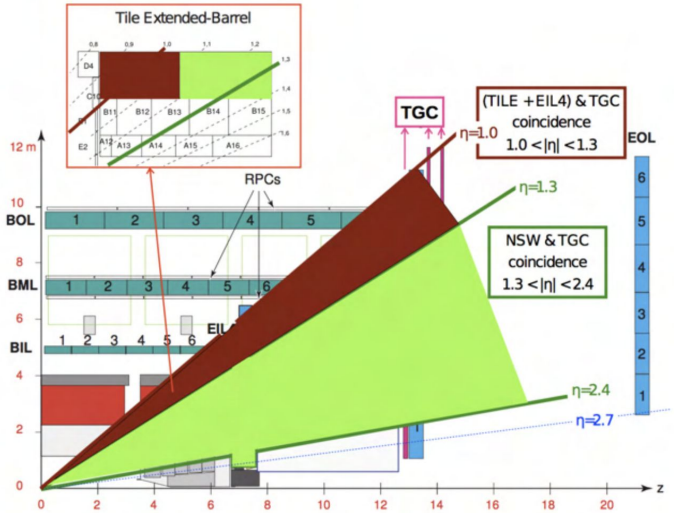
Jets

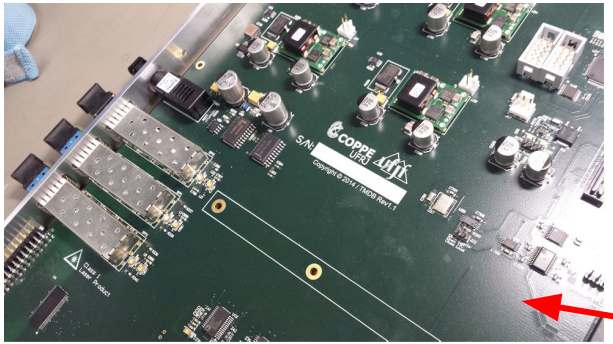
9

Tight	PD [%]	FR [%]
Ref.	**99.58**	**5.13**
v0 - 2σ	99.57	4.35
v1 - 2σ	99.57	5.09

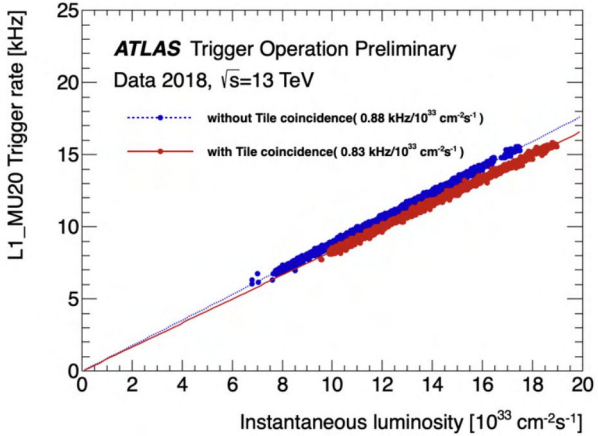
Very Loose	PD [%]	FR [%]
Ref.	**99.84**	**8.33**
v0 - 2σ	99.84	6.98
v1 - 2σ	99.84	7.86

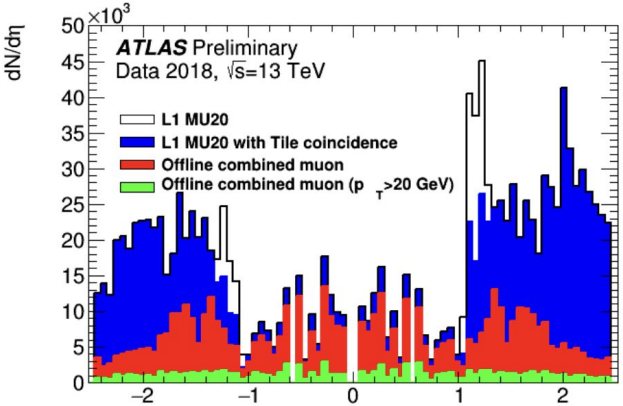
ATLAS: TileMuon





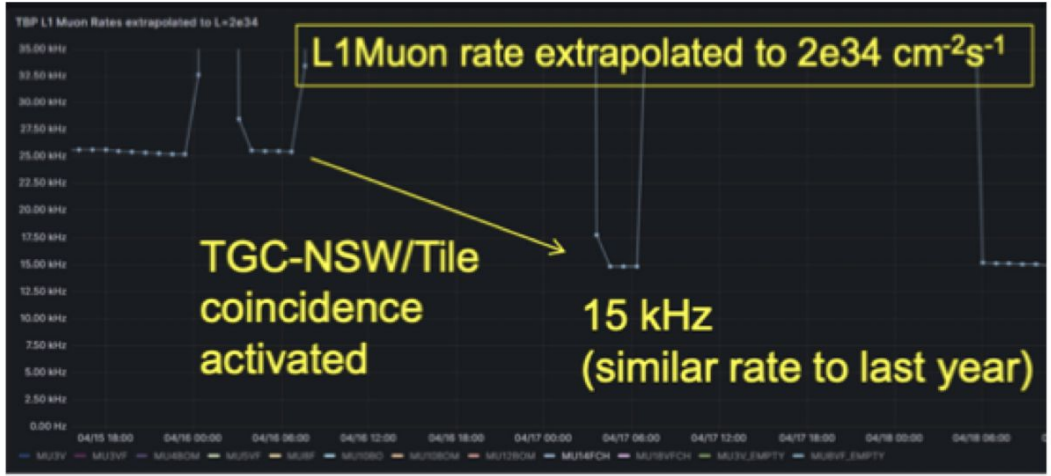
TMDB





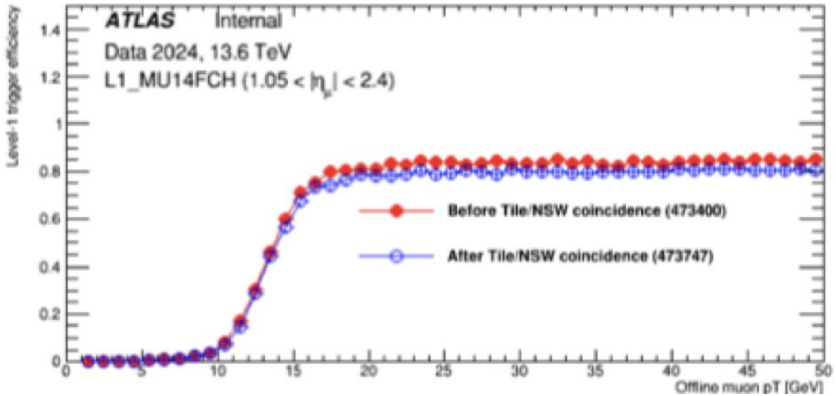
ATLAS: TileMuon

- Modificações no firmware foram necessárias para atualizar a comunicação óptica com o TGC (espectrômetro de múons) para a Run 3
- Sistema está operando na Run 3 conforme o esperado, reduzindo a taxa do trigger de muons na região entre 1,05 < |η| < 2,4



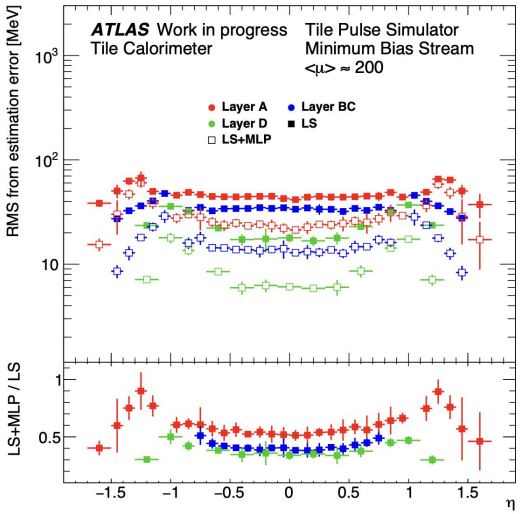
Em andamento e próximos passos:

- Manutenção e operação até o final da Run 3
- Estudo de novo método de estimação/detecção baseado no estimador linear dos mínimos quadrados para aplicação no próximo



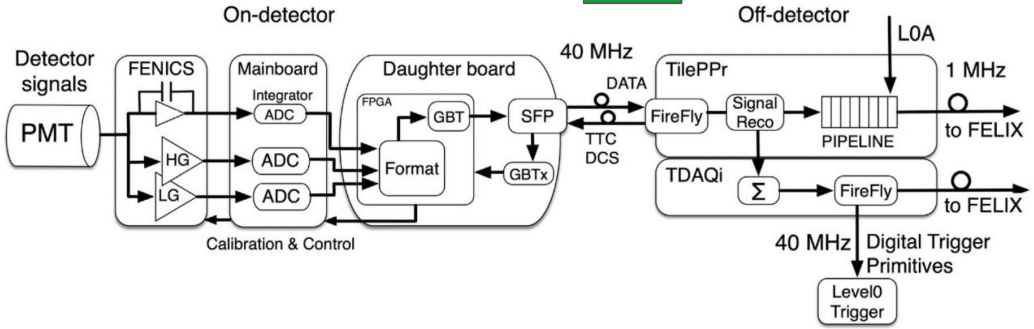
ATLAS: Estimacao de energia

- Durante a tomada de dados do Run4, os dados serão transmitidos de modo contínuo, de modo que a eletronica do calorimetro precisa fornecer uma resposta para cada colisão (40 MHz)
- No calorímetro de Telhas do ATLAS (TileCal) a eletrônica digital (FPGA) está localizada no bloco TilePPr (Tile Pre Processor) e é baseada na tecnologia Kintex UltraScale
- Nesta fase de processamento, a eletrônica fornecerá as informacoes de energia, tempo e de deteccao (digital trigger primitives), assim como enviar tais informações para o nivel 0 de trigger (Level0)
- Novas estrategias estao sendo avaliadas para o Run4, notadamente o metodo LS+MLP que utiliza um modelo linear (LS, least square) combinado com uma rede neural MLP a qual corrige as componentes nao-lineares presentes no sinal devido ao empilhamento de sinais previsto na operacao do LHC de alta luminosidade, avaliando sua utilição na **FPGA** do TilePrr

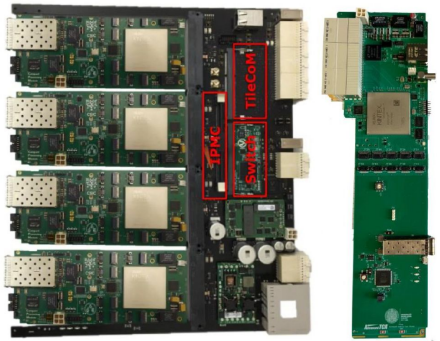


Em andamento e próximos Passos:

- Avaliar a nova técnica LS+MLP para o pulso da nova eletrônica do TileCal
- Desenvolvimento da implementação em **FPGA**



TilePPr DAQi



Qualificação de tolerância à radiação

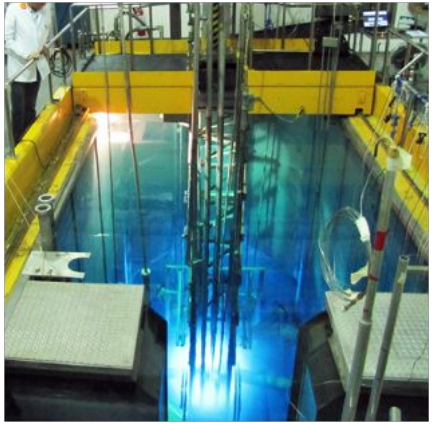
Qualificação de tolerância à radiação de ASICs e sensores semicondutores usados nos experimentos do LHC por meio de instalações nacionais de irradiação. Esses estudos são de grande relevância não apenas para os experimentos do LHC, mas para diversas áreas estratégicas no Brasil, uma vez que circuitos integrados (CI) são fortemente influenciados pela radiação e a necessidade de circuitos tolerantes à radiação é crescente para atender, por exemplo, a indústria eletrônica aeroespacial

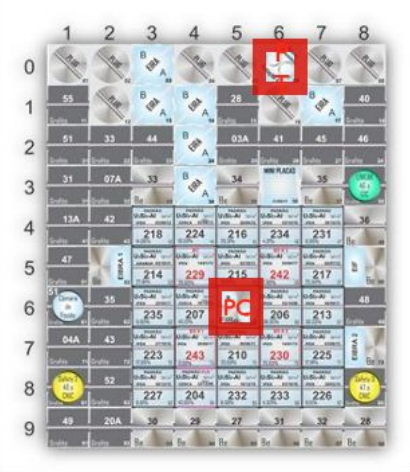
Em andamento / fluxo contínuo:

- irradiação de sensores de silício (LGAD etc.)
- irradiação de blocos unitários (FE, ADC, PLL, etc) de futuros ASICs

NEUTRON IRRADIATION OF LGAD SENSORS

- Irradiation done at the IPEN (USP campus) research reactor
- The reactor recently re-started the operation (2 days a month)
- Two interesting positions :
- PT
  - thermal and epithermal flux
  - 8.34E12 n/cm2s (+/- 5%)
  - max. time 300s
- PC
  - At core, no moderation or else
  - several positions with flux ranging from 1E11n/cm2s to 1E14 n/cm2s
  - no time limit





•Irradiation using PT station

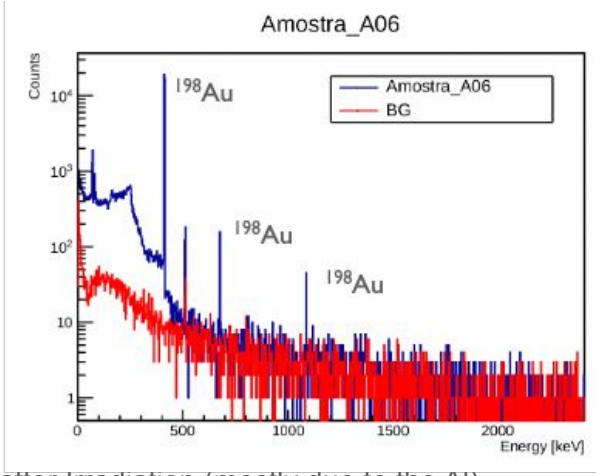
•4 Sensors samples

•A06: 2x2 HPK-3.2W11P2IP9SE5 (1E15 n/cm2s)

•A08: 2x2 HPK-3.2W11P2IP9SE5 UBM (2E15 n/cm2s)

•A17: Sing. HPK-3.2W11P7SE5 (2E15 n/cm2s)

•A18: Sing. HPK-3.2W11P7SE5 (2.4E15 n/cm2s)



- Highly active after Irradiation (mostly due to the Al)
- Gamma spectroscopy the day after shows most activity coming from 411 keV ^{198}Au (2.7 days half-life)

Dispêndios

Previsão orçamentária (original)

Item	Valor	Rubríca	Tipo	Colaborações	Instituições
Digilent Zedboard	R$ 10.812,00	Consumo	Importado	CMS	UNESP
Digilent Zedboard	R$ 13.515,00	Consumo	Importado	ALICE/ATLAS	USP
Saleae PCBite kit	R$ 895,70	Consumo	Importado	CMS	UNESP
Terasic DE1-Nano SoC kit	R$ 1.139,50	Consumo	Importado	CMS	UNESP
Kit VCU128	R$ 57.208,20	Consumo	Importado	ATLAS	UFRJ
Xilinx KCU105	R$ 21.200,00	Consumo	Importado	ALICE	UFRGS
Fonte Keithley SMU2470	R$ 66.790,60	Capital	Importado	ALICE/ATLAS	USP
Fonte Keithley SMU2470	R$ 66.790,60	Capital	Importado	CMS	UNESP
Gerador de sinais Keysight 33622	R$ 43.460,00	Capital	Importado	ALICE	UFRGS
Fontes LV	R$ 11.130,00	Capital	Importado	ALICE	UFRGS
Segger J-Trace PRO Cortex debugger	R$ 14.066,20	Capital	Importado	CMS	UNESP
Saleae Logic Pro 16 logic analyzer	R$ 14.840,00	Capital	Importado	CMS	UNESP
Xilinx three-mode Ethernet MAC (TEMAC) license	R$ 39.750,00	Software		CMS	UNESP

Planejamento de Dispêndios (Setembro 2023:)

Item		Valor (R$)	Experimento	Instituições	Prioridades	Tot. Dispêndios
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R$66,000.00	CMS	UNESP	0	R$66,000
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R$66,000.00	ALICE/ATLAS	USP	0.05	R$132,000
PicoScope 2208B MSO	Logic Analyzer / oscilloscope 2 channel 100MHz	R$6,100.00	CMS	UNESP	0.4	R$138,100
Xilinx TEMAC-SITE	IP Core for FPGAs	R$24,630.00	CMS	UNESP	0.6	R$162,730
Segger J-Trace Pro	Debugger/programmer/emulator multi-MCU	R$12,200.00	CMS	UNESP	0.8	R$174,930
Xilinx KCU105	Devboard FPGA Kintex Ultrascale XCKU040	R$21,200.00	ALICE	UFRGS	0.9	R$196,130
Keysight 33622	Gerador de sinais	R$43,460.00	ALICE	UFRGS	1.2	R$239,590
Digilent Zedboard	4x Devboard FPGASoC Zynq XC7Z020	R$10,812.00	CMS	UNESP	1.5	R$250,402
Fontes LV	Fontes de bancada (padrão, de boa qualidade)	R$11,130.00	ALICE	UFRGS	1.6	R$261,532
Xilinx VCU128	Devboard FPGA Virtex Ultrascale+ VU37P HBM	R$57,208.20	ATLAS	UFRJ	2	R$318,740
Digilent Zedboard	5x Devboard FPGASoC Zynq XC7Z020	R$13,515.00	ALICE/ATLAS	USP	2.2	R$332,255
Terasic DE-10 Nano	Devboard FPGASoC CycloneV 5CSEBA6U23I7	R$1,139.50	CMS	UNESP	3.0	R$333,395
Saleae PCBite Kit	Kit contatos	R$895.70	CMS	UNESP	3.5	R$334,290
Saleae LogicPro 16	Logic Analyzer	R$14,840.00	CMS	UNESP	3.5	R$349,130

Gastos do período

Item		Previsão [R$]	Experiment	Institu ições	já compramos	Progressão Gasto	Previsaão Progressão	Commentários
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R$66,000.00	CMS	UNESP	R$60,882	R$60,882	R$66,000	Compra conjunta com osciloscópio do Gt3. Desconto na compra, e economia de escala na importação.
Keithley SMU2470	Fonte de corrente alta tensão para alimentar Si detectors	R$66,000.00	Ali/Atl	USP	R$60,882	R$121,764	R$132,000	
DMM	Multímetro de bancada	/	Al/At/CMS	Unesp/Us	R$17,823	R$139,587	R$132,000	
PicoScope 2208B MSO	Logic Analyzer / oscilloscope 2 channel 100MHz	R$6,100.00	CMS	UNESP		R$139,587	R$138,100	em revisão
Xilinx TEMAC-SITE	IP Core for FPGAs	R$24,630.00	CMS	UNESP		R$139,587	R$162,730	em revisão
Segger J-Trace Pro	Debugger/programmer/emulator multi-MCU	R$12,200.00	CMS	UNESP		R$139,587	R$174,930	em revisão
Xilinx KCU105	Devboard FPGA Kintex Ultrascale XCKU040	R$21,200.00	ALICE	UFRGS		R$139,587	R$196,130	reposicionamento da contribuição brasileira no FoCal. Revisando prioridade internas.
Keysight 33622	Gerador de sinais	R$43,460.00	ALICE	UFRGS		R$139,587	R$239,590	
Digilent Zedboard	4x Devboard FPGASoC Zynq XC7Z020	R$10,812.00	CMS	UNESP		R$139,587	R$250,402	em revisão
Fontes LV	Fontes de bancada (padrão, de boa qualidade)	R$11,130.00	ALICE	UFRGS		R$139,587	R$261,532	nos proximos meses
Xilinx VCU128	Devboard FPGA Virtex Ultrascale+ VU37P HBM	R$57,208.20	ATLAS	UFRJ		R$139,587	R$318,740	compra a ser priorizada
Digilent Zedboard	5x Devboard FPGASoC Zynq XC7Z020	R$13,515.00	Ali/Atl	USP		R$139,587	R$332,255	em revisão
Terasic DE-10 Nano	Devboard FPGASoC CycloneV 5CSEBA6U23I7	R$1,139.50	CMS	UNESP		R$139,587	R$333,395	em revisão
Saleae PCBite Kit	Kit contatos	R$895.70	CMS	UNESP		R$139,587	R$334,290	em revisão
Saleae LogicPro 16	Logic Analyzer	R$14,840.00	CMS	UNESP		R$139,587	R$349,130	em revisão

Perspectivas

Integração e Transversalidade

- A eletrônica desempenha um papel fundamental nos experimentos HEP, sendo transversal a todos os grupos e experimentos
- Busca pela ampliação de financiamento para as atividades relacionadas ao INCT
- Frente às áreas estratégicas de financiamento, está em estudo a possibilidade da construção de um projeto FINEP onde o tema em comum seria eletrônica

Sinergias com GT1-detector gasosos

slide apresentado no GT1

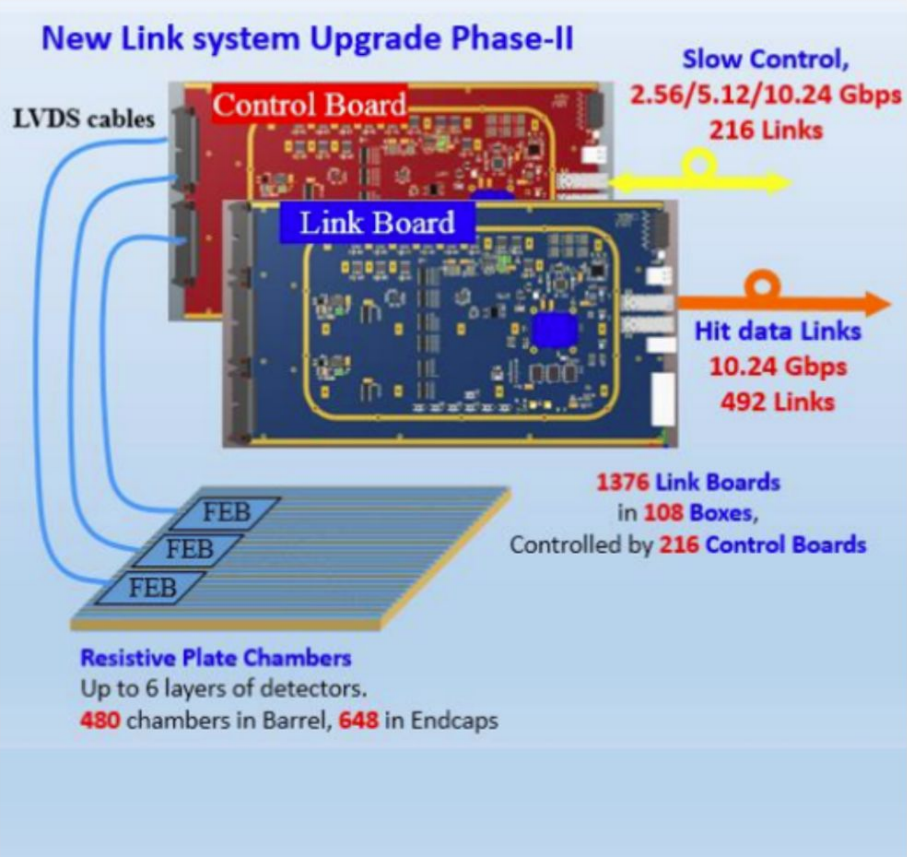
- **Integração de hardware do SAMPA no ecossistema SRS**
  - Primeiro protótipo de placa híbrida e de interface foram testados e validados em 2022. Os híbridos atualizados foram montados no segundo semestre de 2023 e validados.
- **Desenvolvimento de software dedicado e drivers para SAMPA no sistema SRS**
  - Primeira versão do software de aquisição desenvolvido e em funcionamento desde o início de 2023. Sendo melhorado e atualizado regularmente
- **Desenvolvimento de um sistema de aquisição autônomo compacto baseado em SAMPA (HW)**
  - Prova de princípio de uso e placa adaptadora e um SoCKit CycloneV em 2023.
  - Edmilson e Ernesto (Campinas) expressaram o interesse a liderar um esforço para avançar nisso, e assim conseguir um sistema a baixo custo, baseado na DE10 (ainda um Cyclone V_ para protótipos locais, e, eventualmente, mesmo para pequenos (poucos canais) experimentos.
- **Desenvolvimento de software de aquisição e drivers para aquisição autônoma**
  - Prova de princípio modificando o software utilizado durante o teste/validação do Sampa. A ser atualizado para a DE10 (ou outra placa-FPGA), e desenvolvido para as novas aplicações.
- **Desenvolvimento e otimização de rotinas de reconstrução**
  - Em andamento. Mantido e melhorado regularmente (Geovane, alunos de IC)
- **Estudos para uma eletrônica de próxima geração para MPGD**
  - Hans Muller está propondo uma versão potenciada da FEC, a eFEC. A ser avaliado quanto/como contribuir (= manpower)
  - A próxima geração do ASIC (projeto Salsa), mesmo que fora do Tematico, está em andamento. Principais blocos de construção (front-end analógico, ADC, PLC) protótipos projetados, fabricados e em teste. Protótipos novos, melhorados e/ou mais complexos em desenvolvimento

Possibilidades FINEP, demanda GT1

- Produção da eletrônica Link System do CMS-RPC no Brasil
  - Projeto concluído, em testes de pré-produção.
  - Indústria local com capacidade de produção das placas e montagem dos componentes, segundo as especificações do projeto.
  - Eventual necessidade de ajustes com participação dos projetistas.
  - Instalação prevista para o LS3 (2026-2028).
- Plataforma de testes
  - Sistematização de procedimentos de testes funcionais.
  - Construção de bancada de testes.
  - Participação de estudantes nessas etapas e na operação de testes.

Possibilidades FINEP GT1

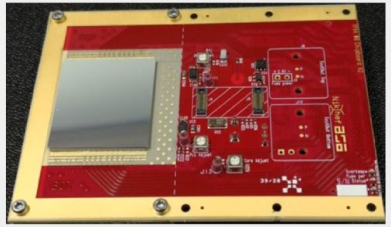
1. 14 Layer PCB , 40 × 28 cm²
2. FPGAs are KINTEX-7, XC7K160T – Industrial Version
3. Muon hit time, TDC timing Resolution : 1.56 ns
4. Master Link board output data rate : 10.24 Gbps
5. Control Board communication with RPC Backend electronics: 4.8 Gbps
6. Input Voltage: 4.0 V (3.8V – 5.1 V)
7. Current: 3 A -> 2 A
8. Power Consumption: 12 W -> 8 W
5. Embedded internal buffer (DDR3) : 4 Gbyte
6. Optical Transceiver: SFP-10G-SR
7. Radiation Mitigation: TMR + Internal Scrubbing
   - Scrub Rate of entire FPGA (Real time SEU detection and Correction) : 13ms (31,770 times faster than the rate of SEU at the tower racks)
   - SEU at the tower racks : Every 413000 ms
8. Safety Systems:
   - Over & Under Voltage Protection, FPGA Over temperature Protection, Transient Voltage Suppressor
   - ESD Protection (15 kV)



Possibilidades FINEP GT2

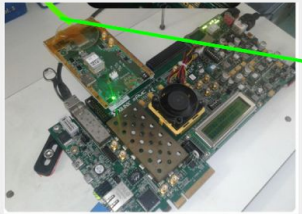
LHCb Velo Upgrade 2

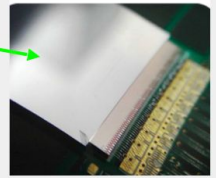
Velopix 4 readout ASIC



Vacuum chamber setup

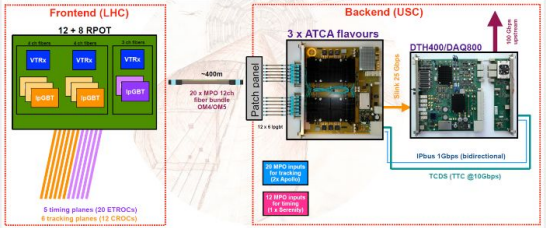
Velopix with SPIDR3 Front end



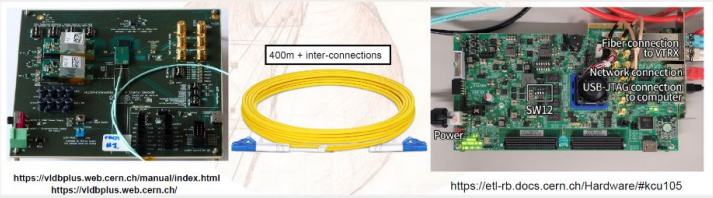


CMS Precision Proton Spectrometer (PPS)

PPS readout electronics

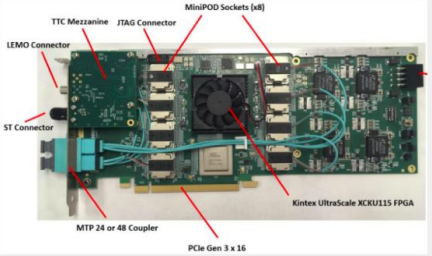


Test bench electronics

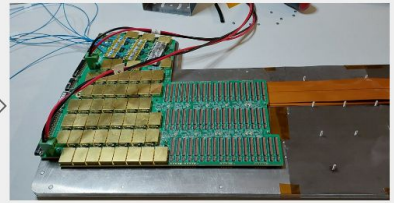


ATLAS Phase-II High Granularity Timing Detector (HGDT)

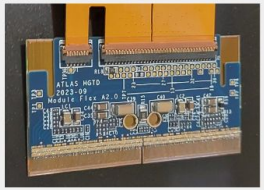
FELIX DAQ card



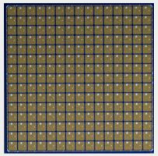
Peripheral electronics board



Flex module



15x15 LGAD array

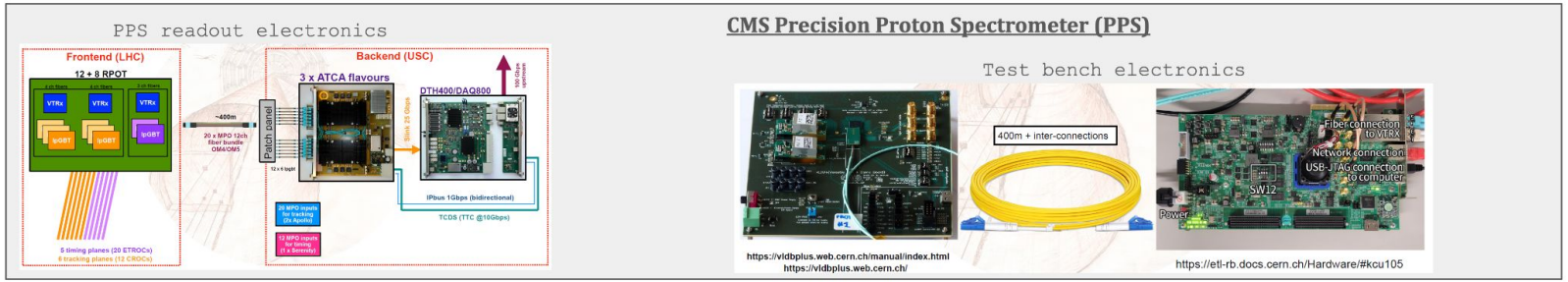


Possibilidades FINEP GT2

LHCb Velo Upgrade 2

- The Velopix is the pixel readout ASIC, and is based on the Timepix 3 and provides 40MHz readout for software triggering
- A setup inside a vacuum chamber is assembled @ UFRJ
- The VELOPIX readout is done by an FPGA board (SPIDR3)

Possibilidades FINEP GT2



CMS Precision Proton Spectrometer (PPS)

- The Velopix is the pixel readout ASIC, and is based on the Timepix 3 and provides 40MHz readout for software triggering
- The PPS sensors will be readout by an ETROC sensors, using the CERN lpGBT interface
- The modules (sensor + ASIC + lpGBT) will be connected by 400m of fiber to an ATCA board used to exchange data with the DAQ
- A test bench is assembled @ UERJ to interconnect a VLDB+ standard development board connected to an FPGA (KCU105) to exercise the lpGBT readout

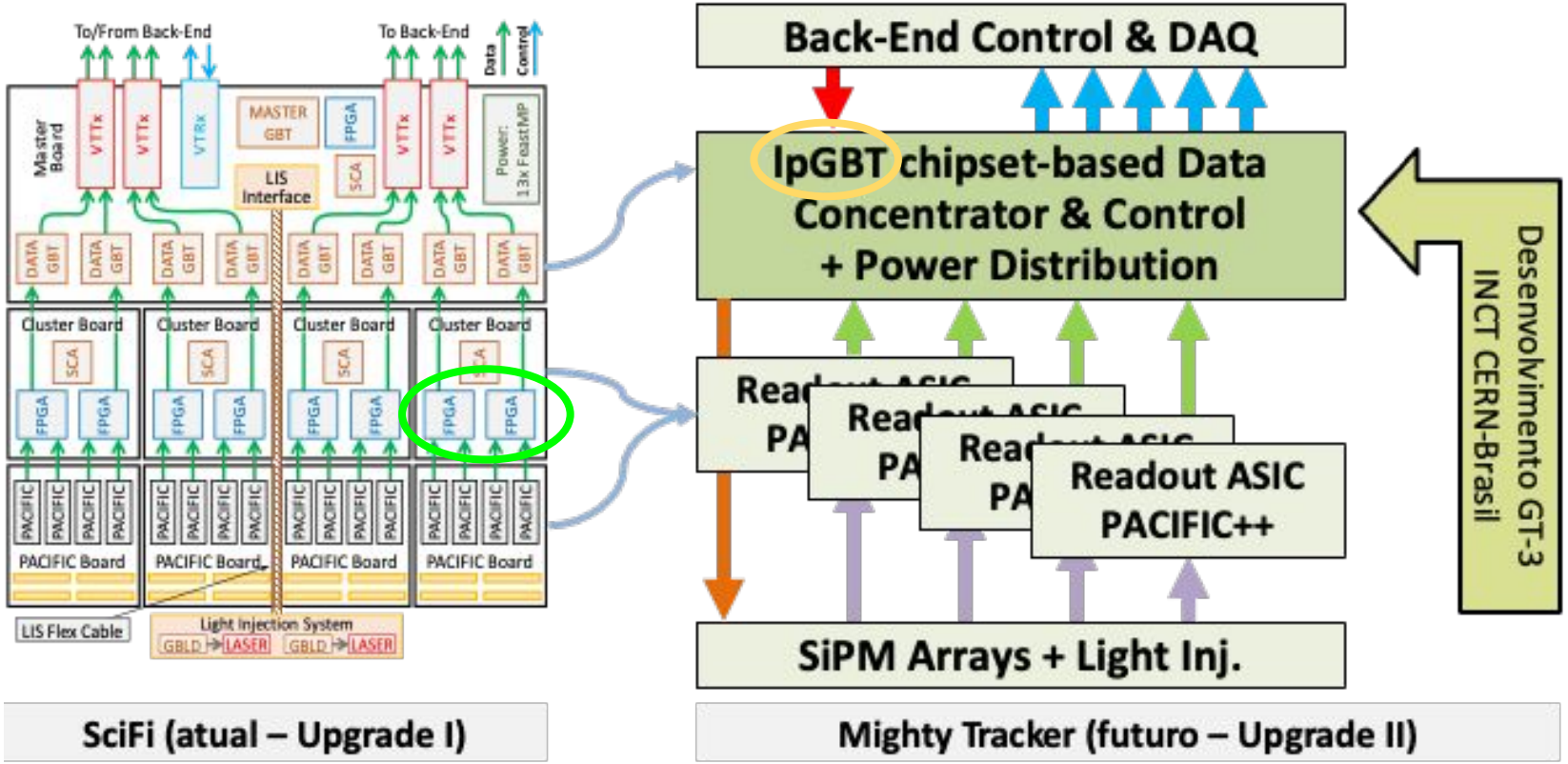
Possibilidades FINEP GT2

ATLAS Phase-II High Granularity Timing Detector (HGDT)

- The LGAD 15x15 arrays (2) are bump-bonded to a readout ASIC (ALTIROC)
- The Peripheral electronics bard connected electrically to the ASIC through Flex PCB cables deliver power (HV and LV), control signals and reads out the serialized data.
- Data from/to PEB is sent/received by an lpGBT using CERN VTRX transceivers to the backend
- A Phase-II FELIX FPGA based card (FLX-155) serves up to 48 25 Gb/s links to interface with the PEBs
- A test bench with a Phase-I FELIX and a modular PEB is being assembled @ USP to exercise the sensor readout chain

Possibilidades FINEP GT3

LHCb



SciFi (atual – Upgrade I)

Mighty Tracker (futuro – Upgrade II)

Possibilidades FINEP GT4

Laboratório Avançado de Dispositivos Lógicos Programáveis

- Uso de sistemas baseados em dispositivos lógicos programáveis está ficando cada vez mais extenso, resultando em denominador comum de todos os experimentos no LHC
- Poderia ser utilizado para desenvolvimento e teste de hardware programável nos diferentes experimentos
- Requisitos Iniciais:
  - Servidor 64 núcleos / Compatível com adaptadores de GPU PCIe da NVIDIA, AMD e Intel
  - Gerador de função/Forma de Onda Arbitrária e Fonte de Alimentação Dupla DC Regulada 30V/3A
  - Storage Area Network (SAN) 8TB
  - Ethernet switch 10 GHz
  - FPGA kits e licenças
  - Analisador Lógico de alta frequência e memória profunda
  - PCs

~~Conclusões~~ Reflexões & Discussões

Preâmbulo: A eletrônica permea e accumuna todos os diferentes experimentos HEP. É transversal a todos os grupos e experimentos

As discussões em preparação a este evento e os slides recolhidos e apresentados mostraram convergências efetivas

- Desenvolvimento de código para lógica programável: todo o mundo usa extensivamente FPGAs!!
    - tem movimentação também no CERN para compartilhar bibliotecas e alguns desenvolvimento de módulos “core”comuns.
- Interesse forte para conseguir fabricar localmente placas eletrônicas de alta complexidade (muitas camadas, passo fino para trilhas e pads, controle de impedância, etc…)
- Importante investir em propostas comuns como forma de fortalecimento do INCT e de nossa participação nos diferentes experimentos