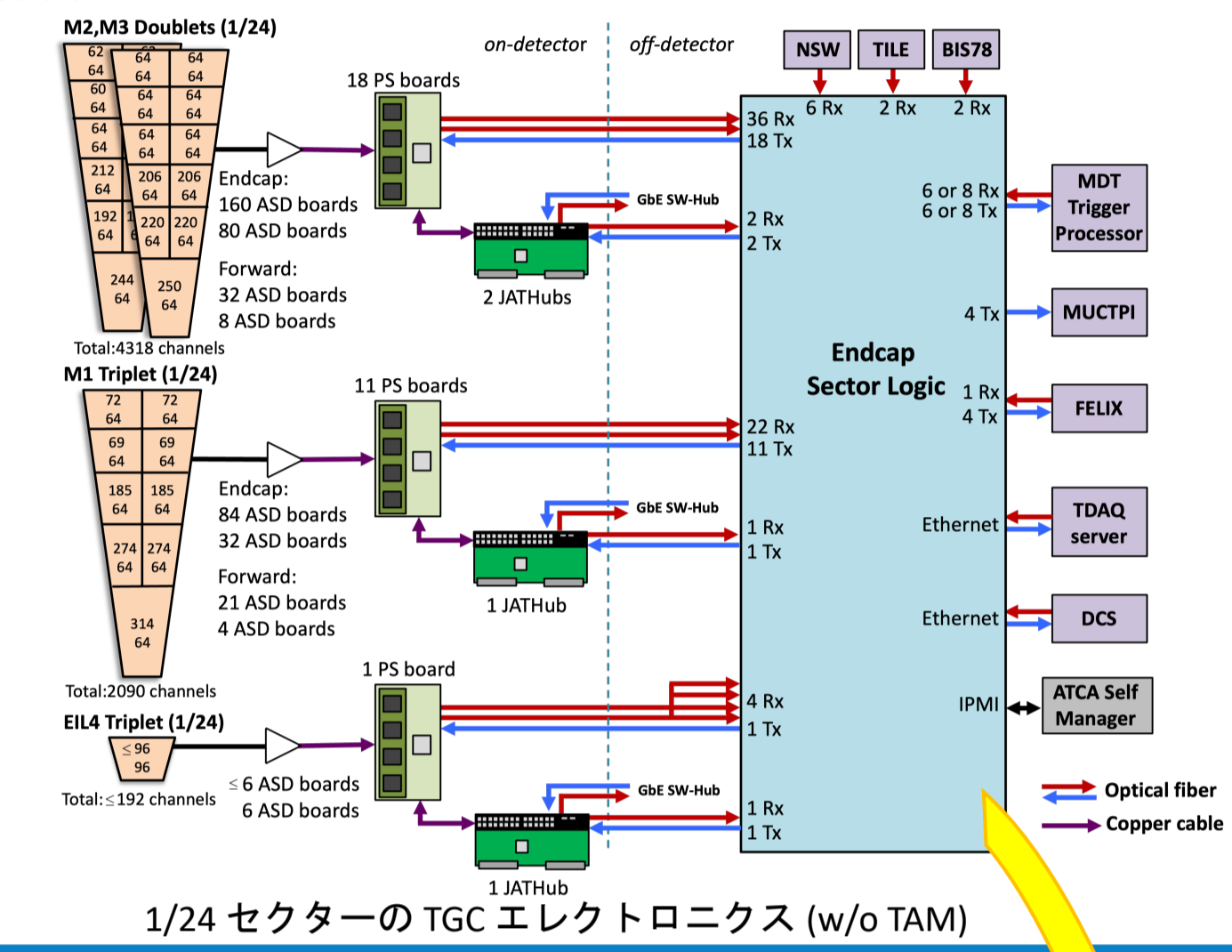
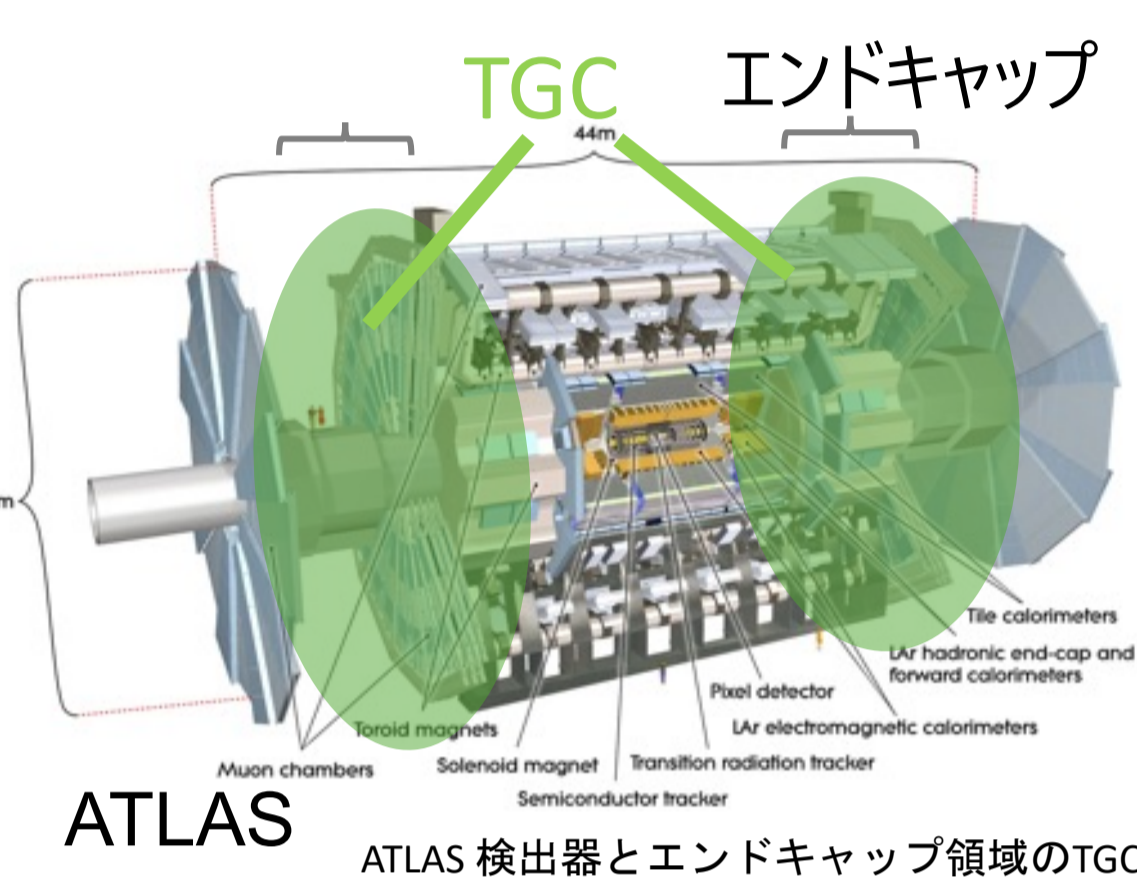


高輝度 LHC-ATLAS 実験のための TGC 検出器新型後段回路 試作機におけるクロック分配と高速通信の性能評価

第31回 ICEPP シンポジウム 2025年2月16日(日)~2月19日(水)
水落永遠 (東京大学 ICEPP, M1)

1. HL-LHC ATLAS に向けた TGC アップグレード

- 大型ハドロン衝突型加速器(LHC) - ATLAS 実験は、高輝度陽子陽子衝突のデータを取得し、ヒッグス粒子や標準模型の精密測定を行うと同時に、新物理の探索を目的としている
- ハドロン衝突型加速器において衝突で生じる高レートの事象から興味のあるデータを効率的に取得するため、トリガーが重要な役割を果たす
- TGC (Thin Gap Chamber) は ATLAS 検出器において、エンドキャップ領域 ($1.05 < |\eta| < 2.4$) のミュオンのトリガーを行う検出器
- HL-LHCのトリガー・データ取得システム (TDAQ) の要求に対応するために、TGC のエレクトロニクスは刷新される (Phase II アップグレード)
 - バンチ交差毎の事象数が増加する高輝度化後も、事象選択性能を維持・向上させる
 - ハードウェアにより行われる初段トリガーの、10 μ s の固定遅延と 1 MHz の読み出しレートへの仕様変更に対応する
- Phase II の TGC エレクトロニクスは、4 種類のボードで構成される: Sector Logic, PS Board, JATHub, TAM



2. Sector Logic の第2試作機

Sector Logic (SL)

- バックエンドエレクトロニクスとして3つの役割を持つ:
 - トリガー信号の生成(ミュオンの軌跡再構成と運動量推定)
 - 読み出し(検出器のヒットデータとトリガー演算の中間情報)
 - TGC システム内の他のエレクトロニクスの制御とモニタリング

- 大規模FPGAと多数の高速シリアル通信モジュールを搭載

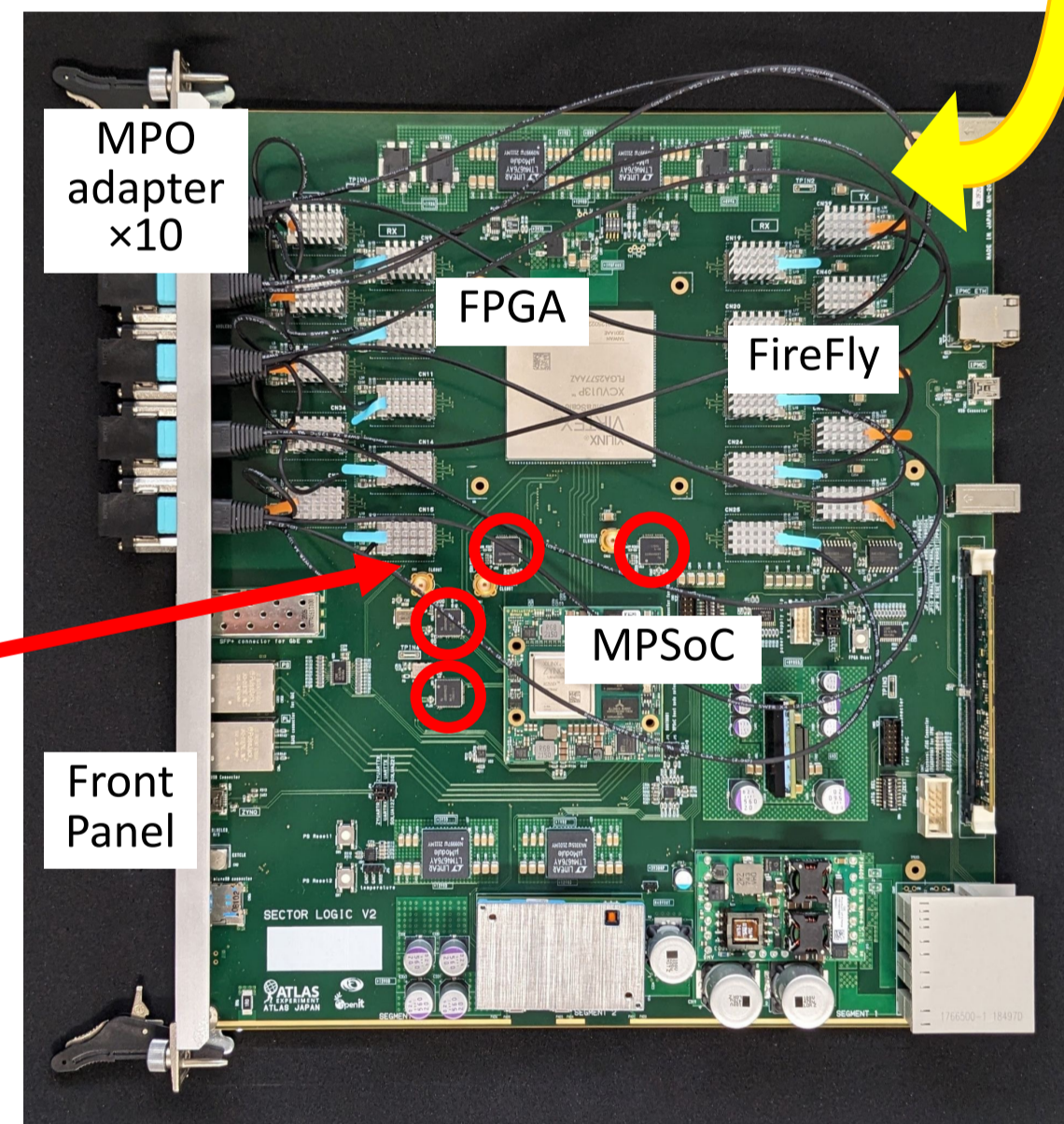
- 加速器のRF信号に由来するタイミング信号をもとに再構成した、陽子バンチ交差に同期した基準クロックを使用する

- 1枚のSLが TGC の1/24セクターを担当する

- 第2試作機の設計には、第1試作機で得られた知見に基づく改良が含まれる
e.g. クロック分配構造の改良 クロックジッタークリーナー

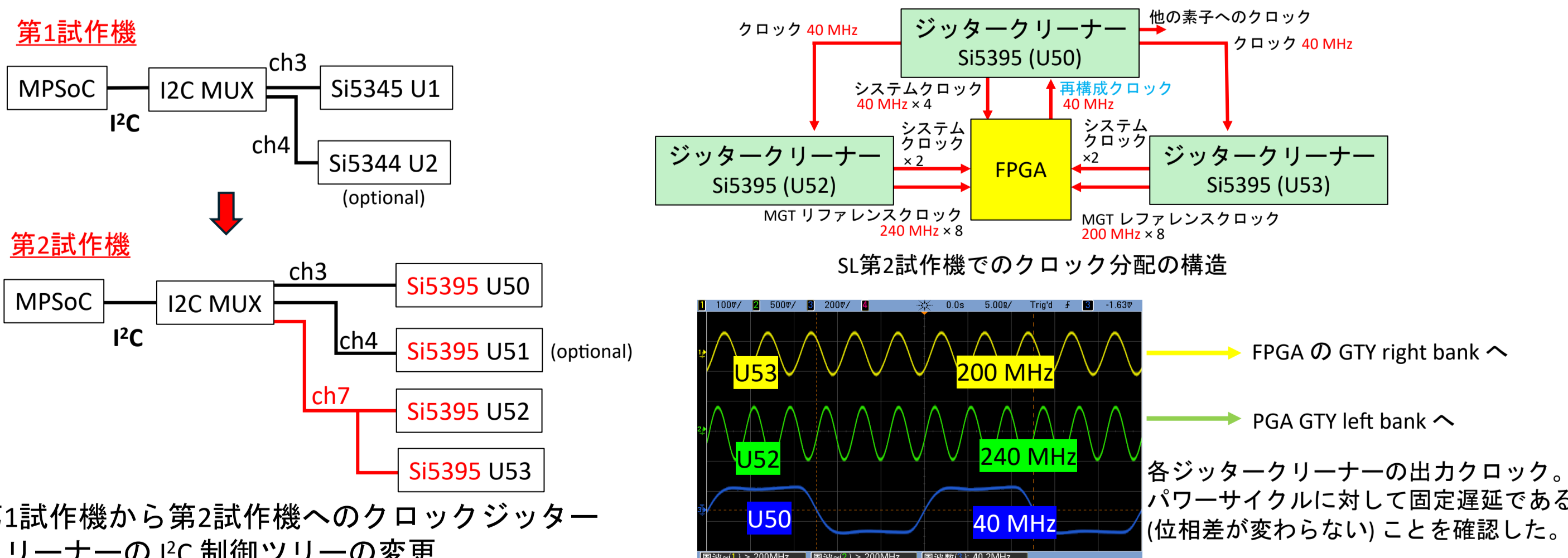
第2試作機の初期動作試験の一環として以下を実施した:

- クロックジッタークリーナーの設定とクロック分配
- 高速シリアル通信の性能評価

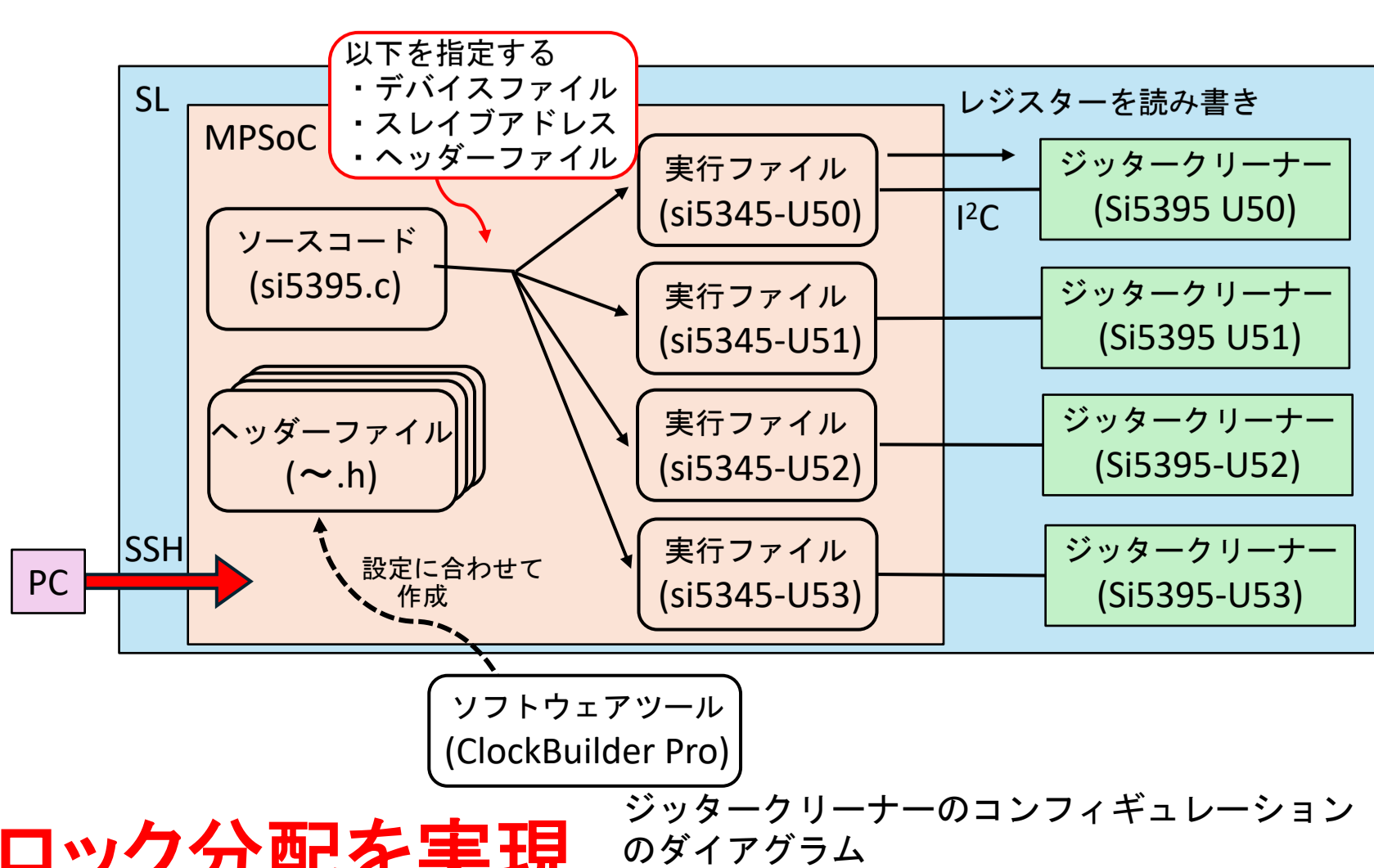


3. クロックジッタークリーナーの設定とクロック分配

- クロックジッタークリーナー Si5395 はクロックソースから高精度なクロックを生成し、各ドメインに適切なクロック信号を分配する
- クロック分配構造の改良と素子の変更により、クロックを入力クロックに対してゼロディレイで出力、分配できるようになった



- レジスタ操作により設定するソフトウェアをC言語で作成
- 設定データは ClockBuilder Pro で用意
- 設定が正しく完了したかを確認するため、Loss of Lock (LOL) レジスタを読み出し

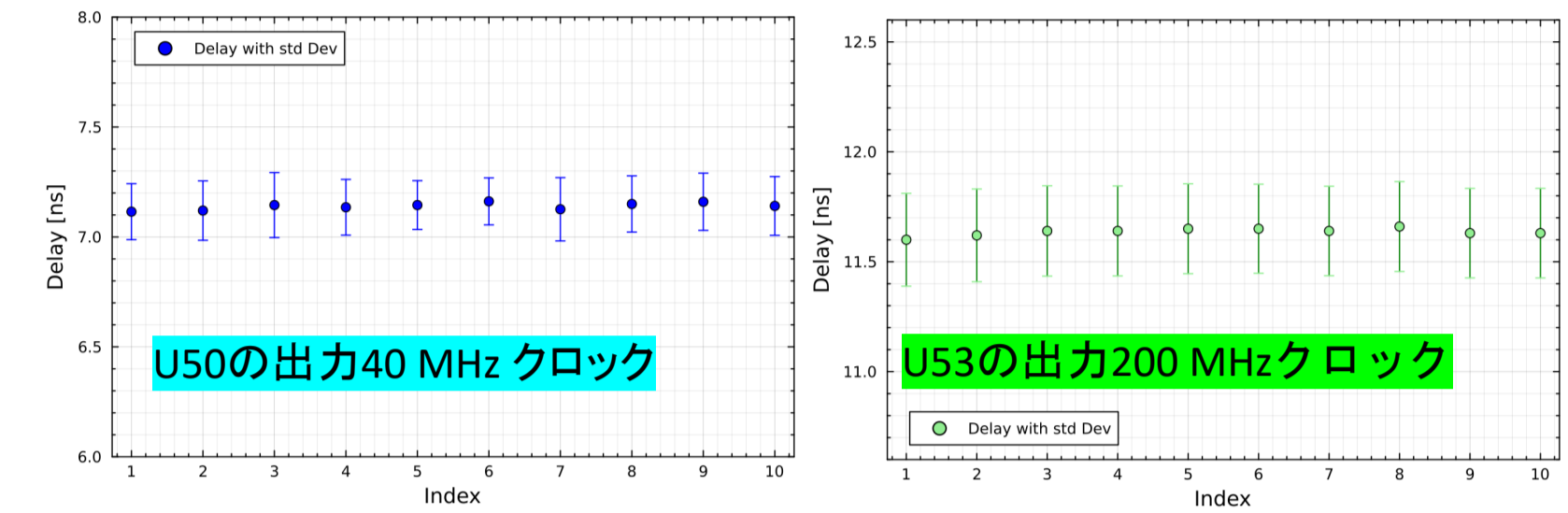
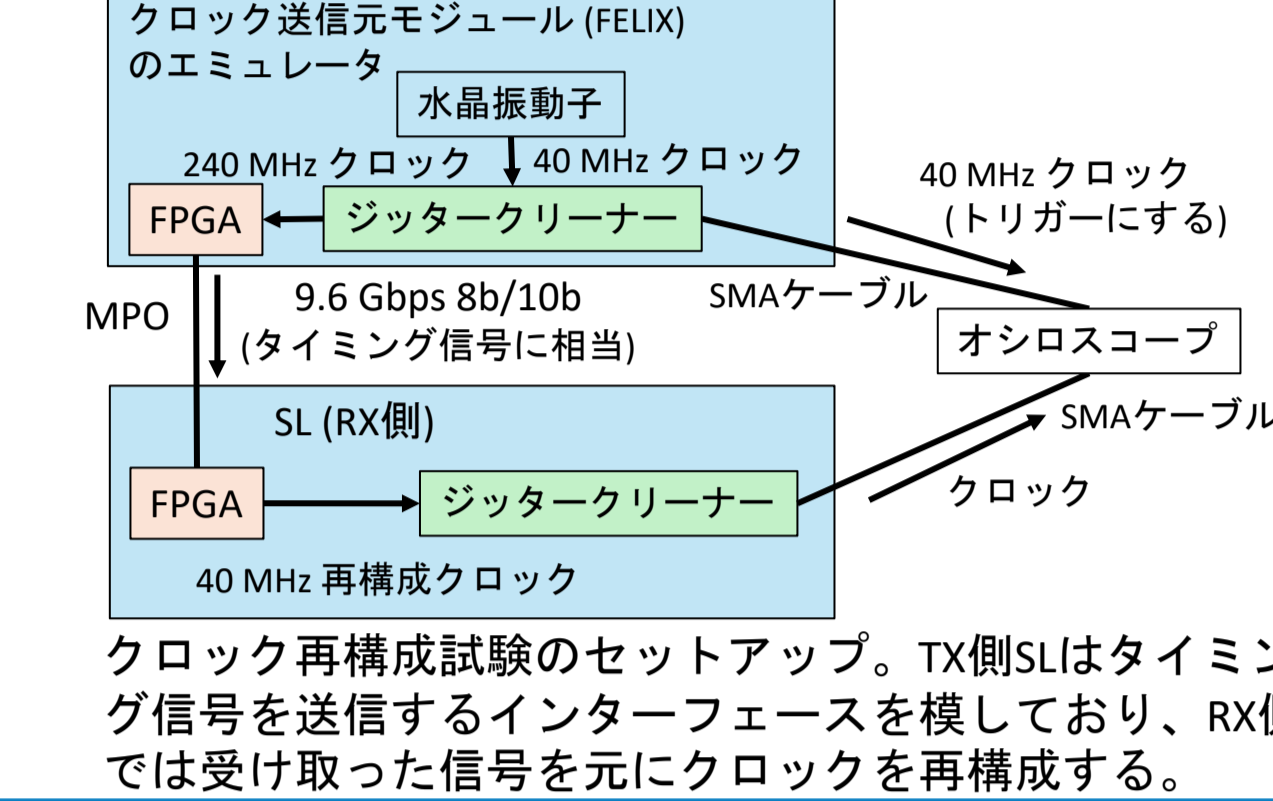


→ 第2試作機上での適切なクロック分配を実現

クロック再構成試験

- オペレーションでは、ジッタークリーナーの入力ソースとして、タイミング信号から再構成したクロックを用いる
- SL 2台を用い、それぞれにクロック分配の基礎的な機能を実装した本番環境を模したセットアップで、クロックの再構成と評価を行った
- オシロスコープを用いた測定で、再構成クロックを入力とした場合でも
 - ジッタークリーナーの出力クロックの周波数が期待する値であること
 - 固定遅延かつ低ジッター (~70 ps) でのクロック分配が実現されていること

を確認した

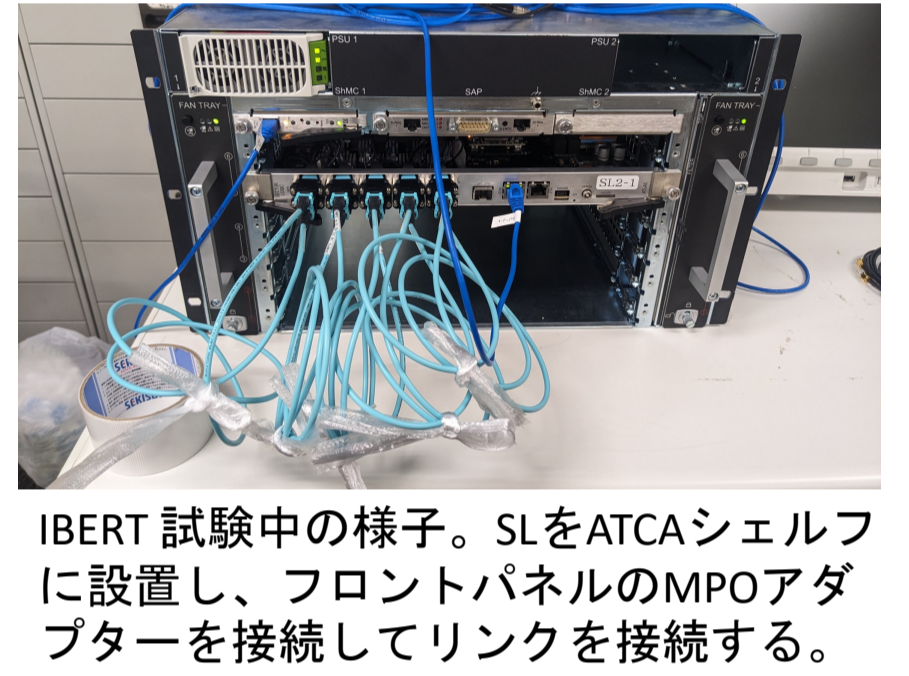


4. 高速シリアル通信の性能評価

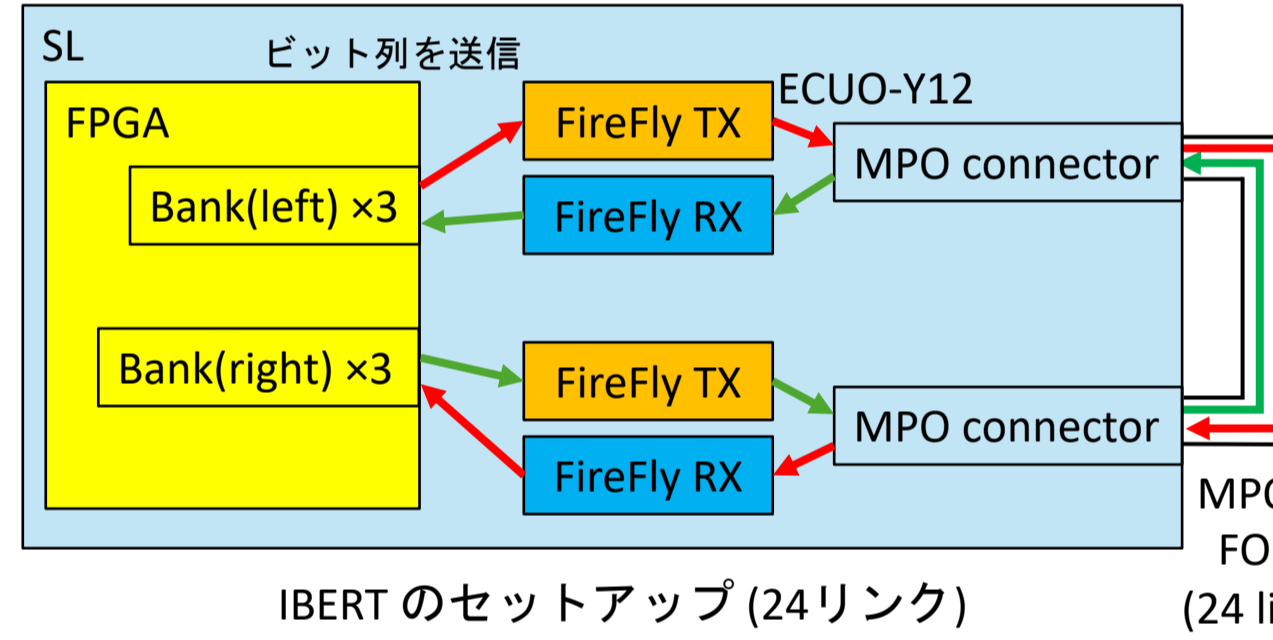
Integrated Bit Error Ratio Test (IBERT)

- トランシーバーから出力される疑似乱数列をレーザーで受信し、エラーレートを測定することで、SL の 120 本の GTY リンクにおける高速シリアル通信の安定性を評価

- Pseudo Random bit Sequence 31 (PRBS31) を使用
- オペレーションで使用される通信速度である 9.6 Gbps で主に評価
- より速い通信速度 (14.4-24.8 Gbps) でも試験



- 9.6 Gbps におけるエラーフリーでの動作が必要 (典型的にはビットエラーレート (BER) の上限を 10^{-15} 程度に設定)



第2試作機のIBERTの結果(第1試作機の結果とも整合する)

Line rate [Gbps]	Bits	Errors	Bit error ratio (CL: 95%)	result
8.0	3.03×10^{14}	0	$< 9.89 \times 10^{-15}$	
9.6	1.60×10^{15}	0	$< 1.87 \times 10^{-15}$	リンクが正常に確立
14.4	7.77×10^{14}	0	$< 3.86 \times 10^{-15}$	
16.0	3.83×10^{14}	~0	$< 7.82 \times 10^{-15}$	数リンクで少数のエラーが生じる

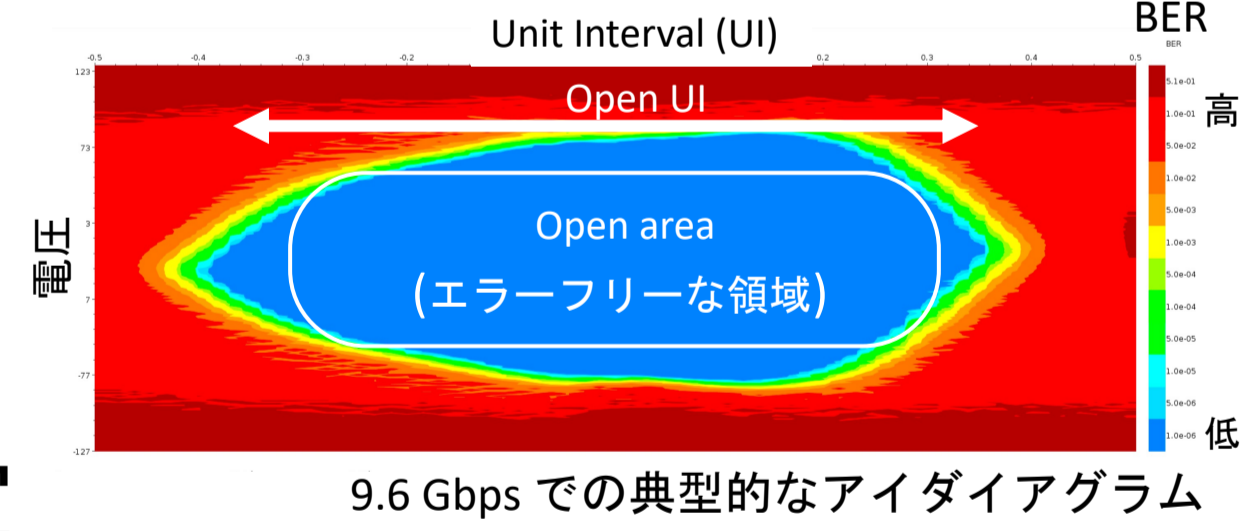
通信速度 9.6 Gbps において以下を確認

- 全120リンクが正常に確立されること
- エラーフリーでの運用が可能であること

2D アイスキャン

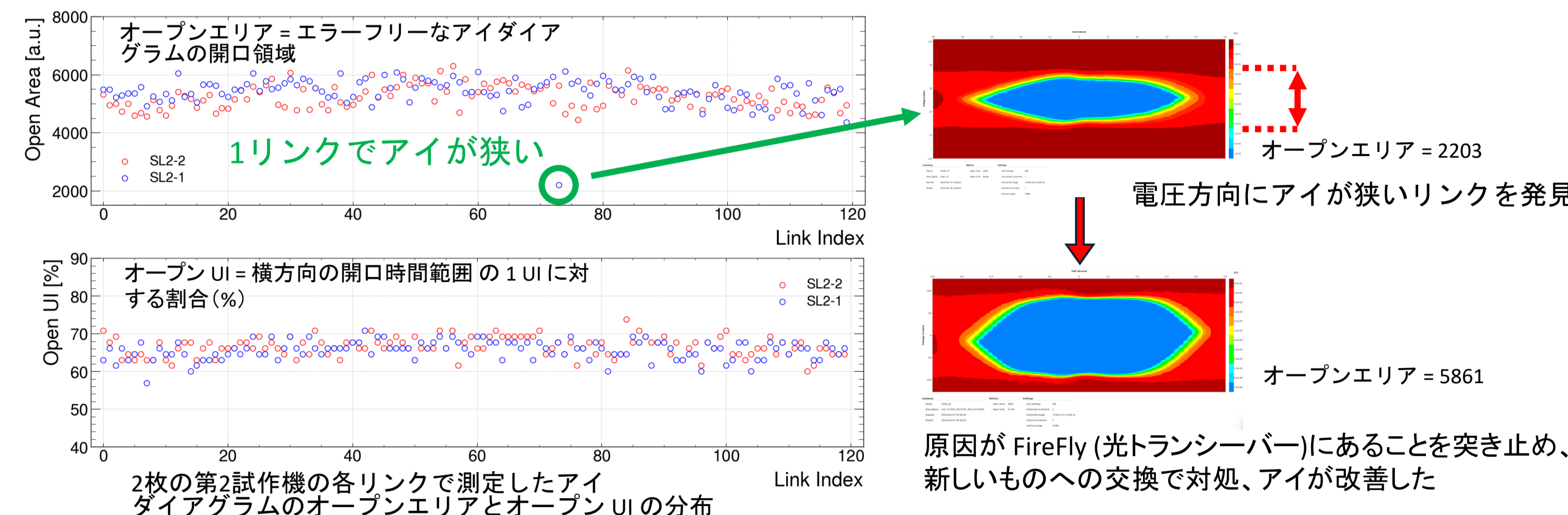
- アイダイアグラムから、タイミング(ジッター)や電圧の変動に対する耐性を知ることができる

- 横軸: Unit Interval (UI) 1クロック周期
- 縦軸: 電圧
- 色: BER (青い領域は BER が低い)

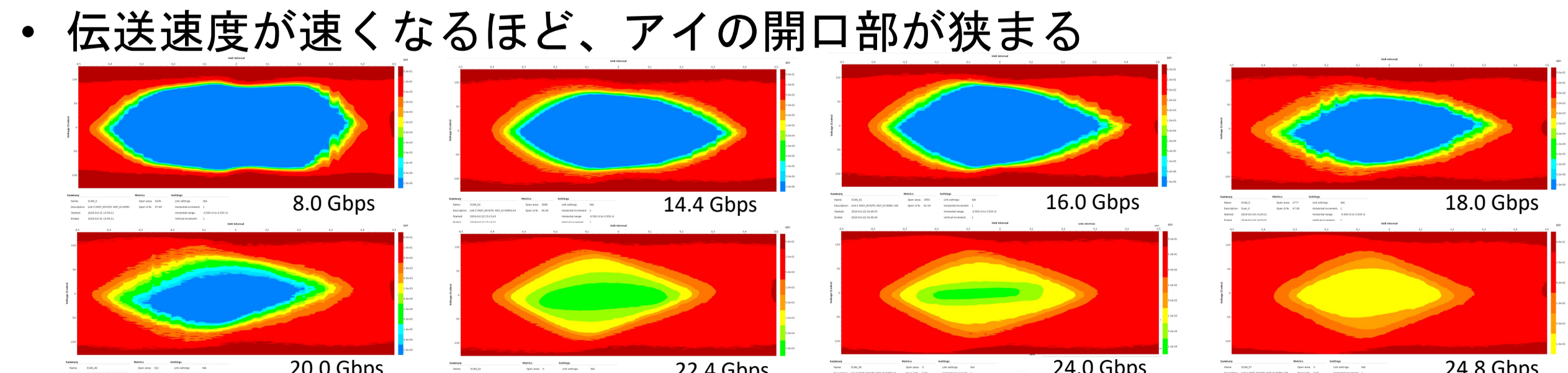


- 低エラー率の領域が広いほど通信が安定

9.6 Gbps の全120リンクでアイが開いていることを確認



- 各伝送速度での典型的なアイダイアグラム (BER = 10^{-6} でカットオフ)



5. まとめと展望

- TGC後段回路SL第2試作機の初期動作試験が順調に進行
- クロック分配の実現と高速シリアル通信の十分な性能を確認した
- SLの後段のインターフェース(MUCTPI)とのIBERT及び、再構成クロックを用いた通信試験にも成功
- 今後のSLの最終設計やファームウェアの開発・試験に活用される