

# HL-LHCに向けたATLAS実験の ミュオントリガー基板における電源系の開発

---

2025年 2月 16日

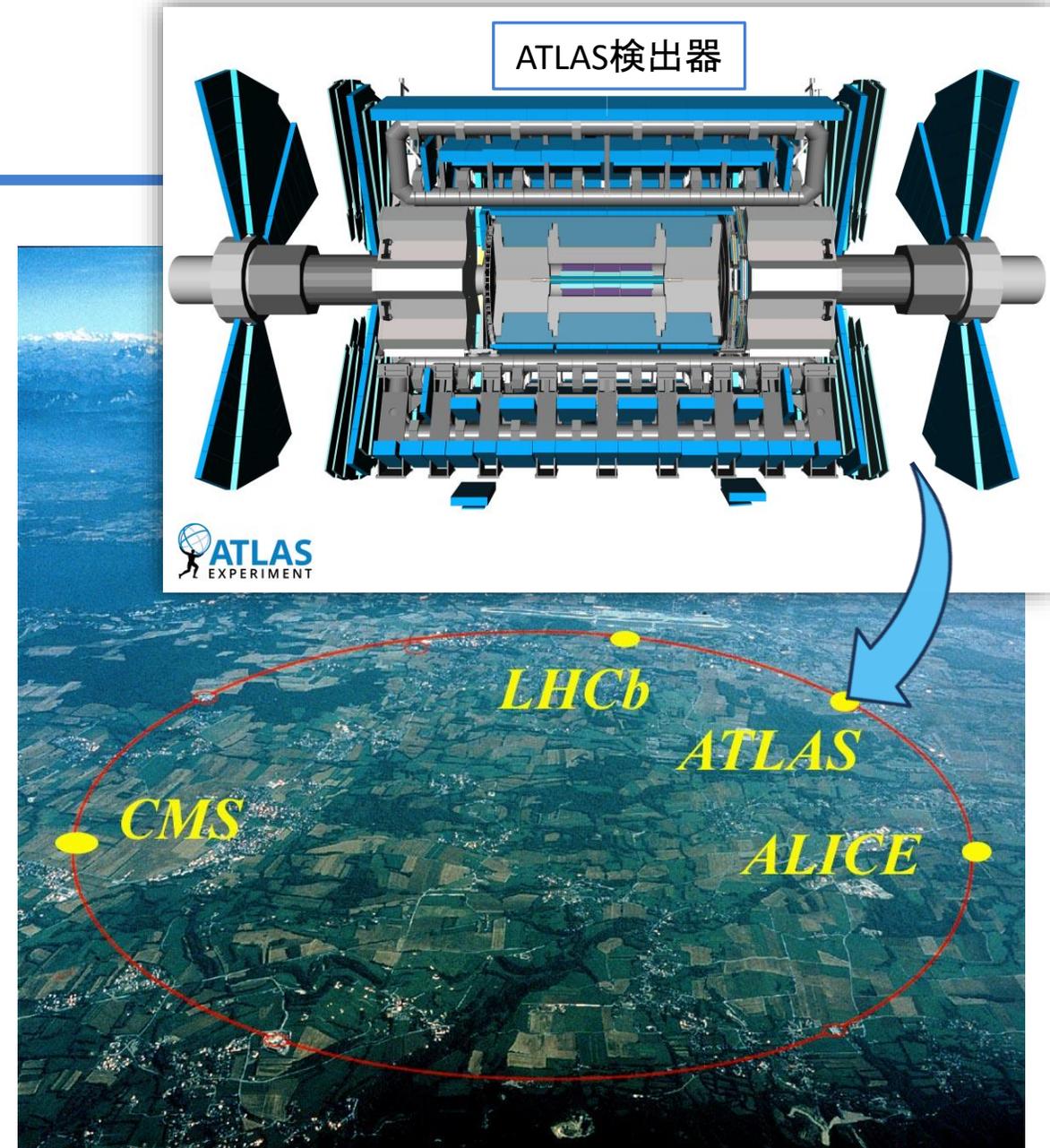
名古屋大学 N研 M1 糀 翔太

第31回 ICEPP Symposium@志賀レークホテル

写真提供CERNアトラス実験グループ

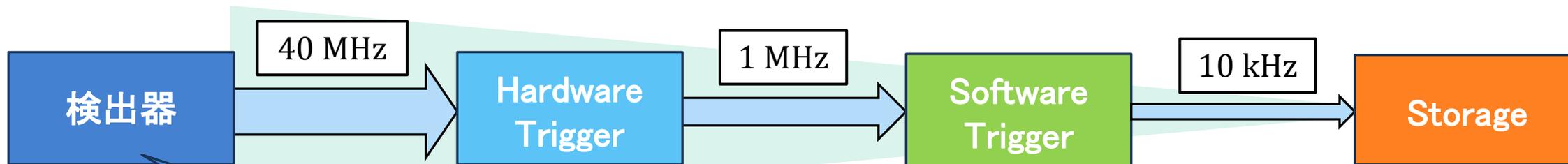
# LHC-ATLAS実験

- LHC加速器
  - $pp$ 衝突頻度: 40 MHz
  - $\sqrt{s} = 13.6$  TeV (現在)
  - ルミノシティ:  $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  (現在)
- ATLAS検出器
  - 複数の検出器で構成されている  
例) Thin Gap Chamber (TGC)、カロリメーター
- 高輝度LHC実験(2030年から)  
ルミノシティ:  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$
- 信号事象の増加と共に背景事象も増加  
⇒ トリガーシステムのアップグレードが重要!

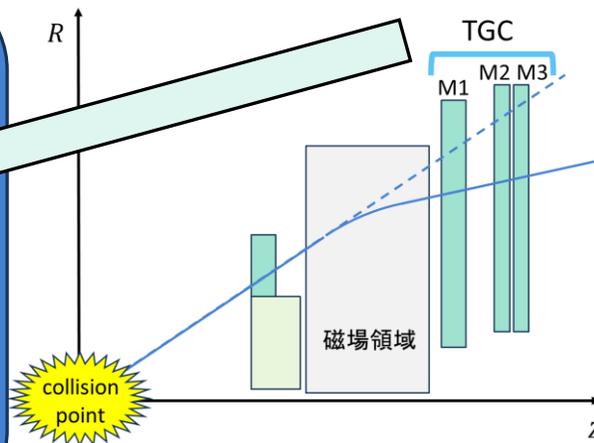
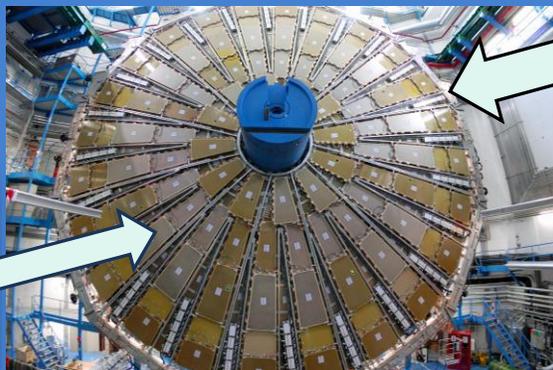


# トリガーシステム

- HardwareとSoftwareの2段階のトリガーシステム



Ex) TGC

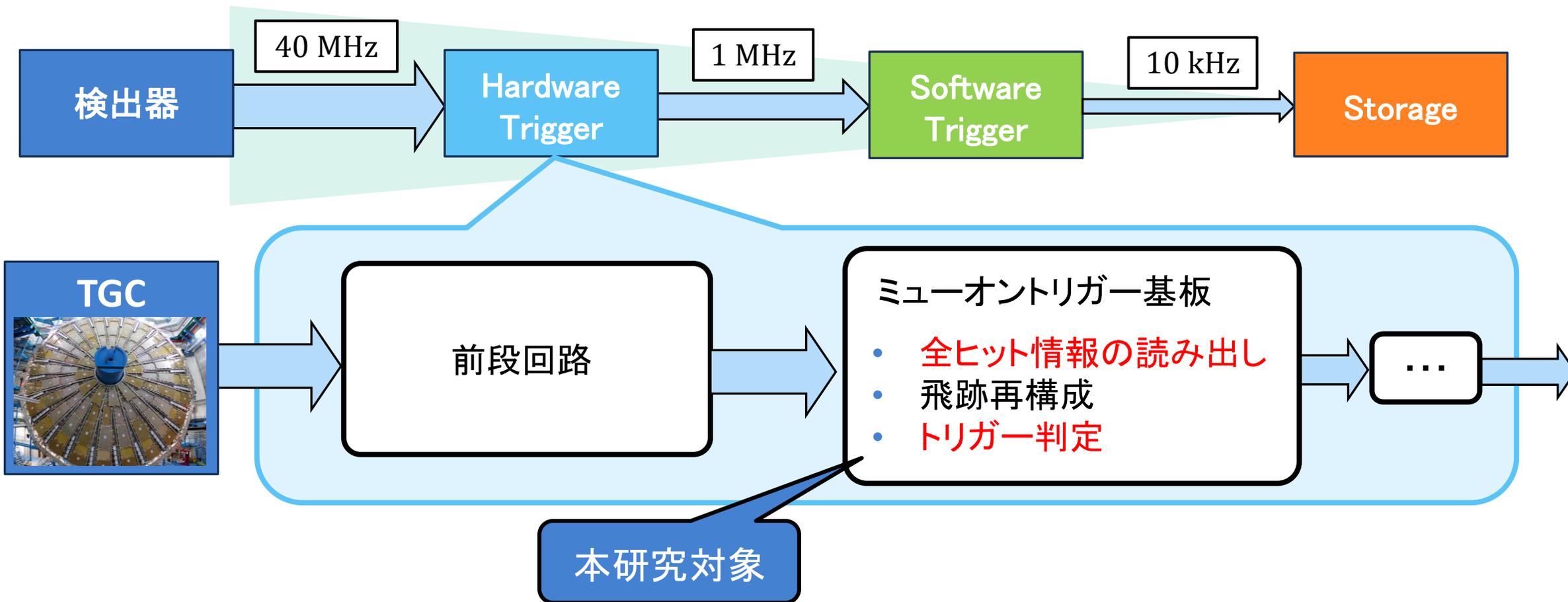


- ミューオン検出器 (TGC)

- 飛跡の再構成
- 磁場領域でのミューオンの曲がり具合から運動量推定

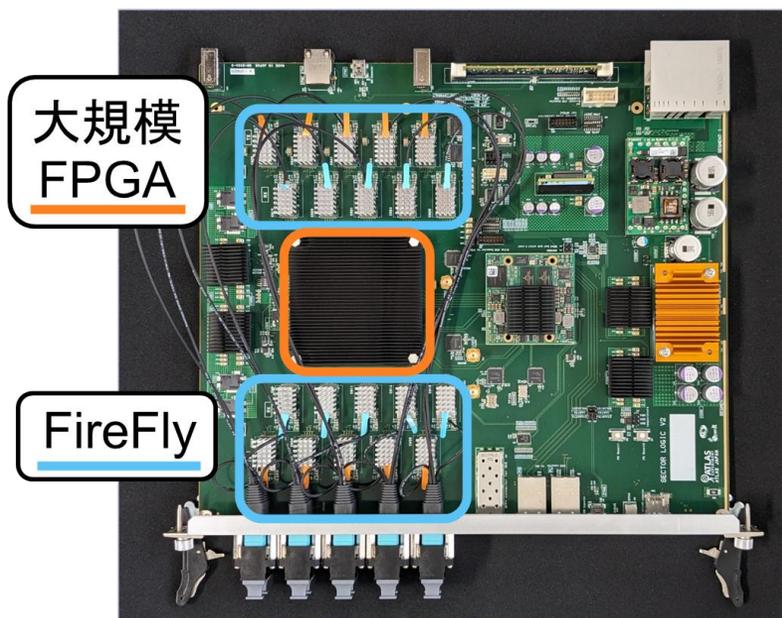
# エンドキャップ部のHardware Trigger

- HardwareとSoftwareの2段階のトリガーシステム

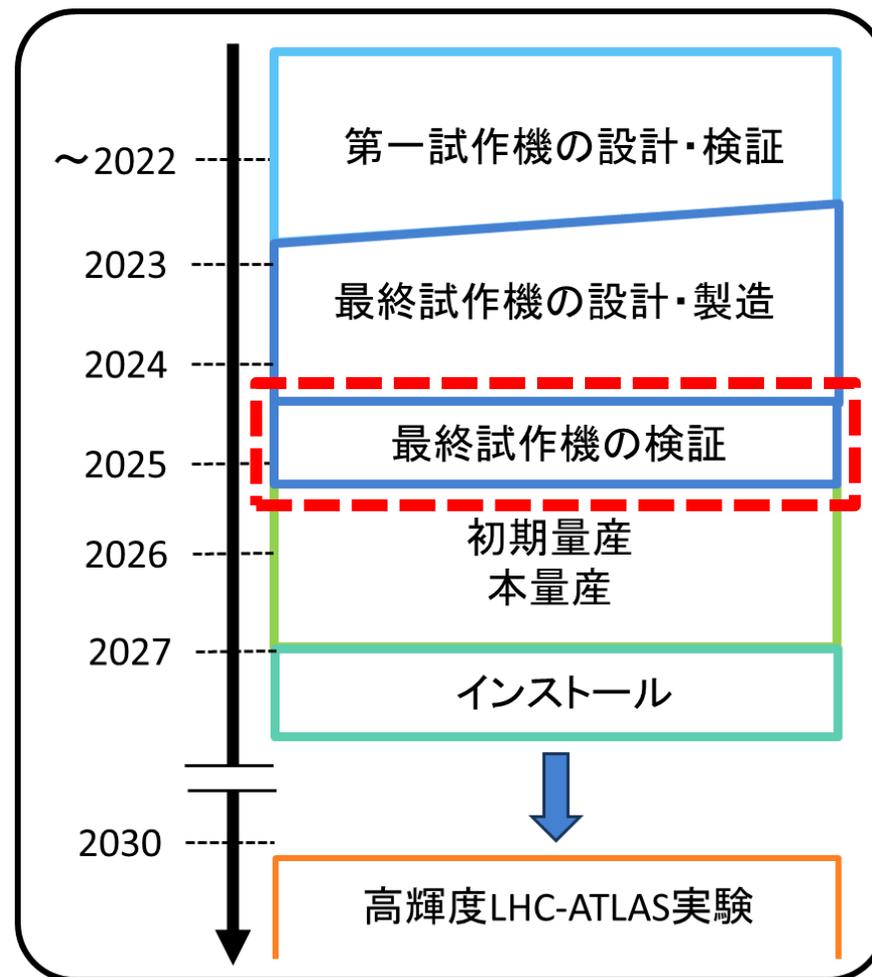


# ミュオントリガー基板

- 全ヒット情報の読み出し、それを用いた高質なトリガー
- トリガー判定用の 大規模FPGA 搭載
- 高速光通信用の FireFly を20個搭載

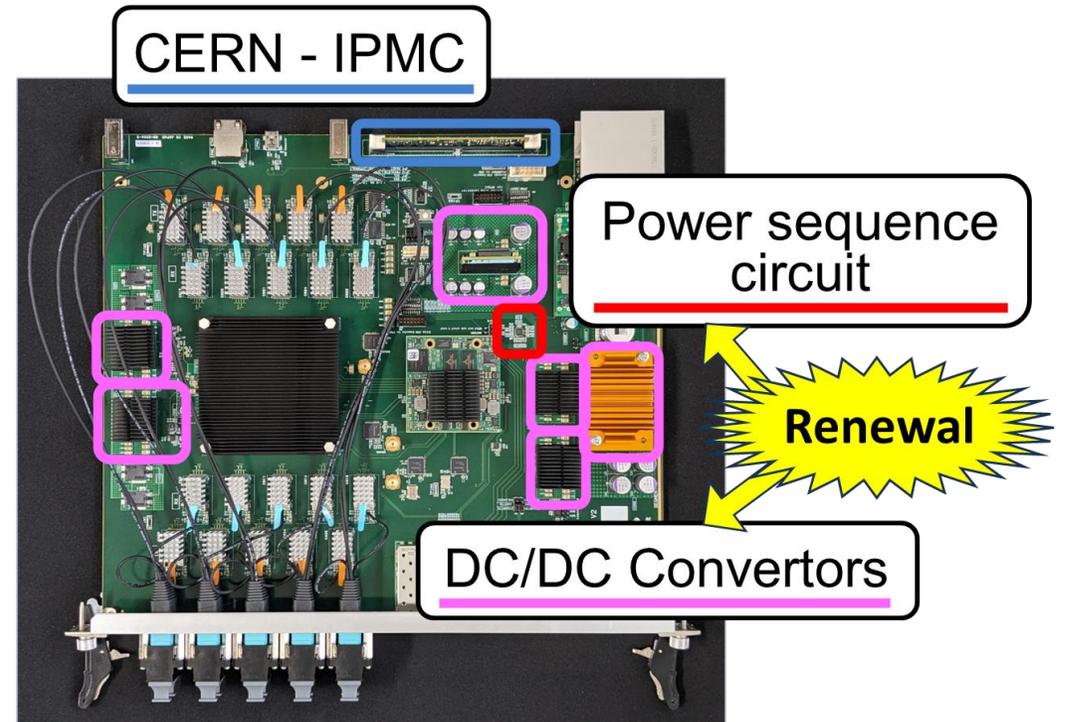


～開発スケジュール～



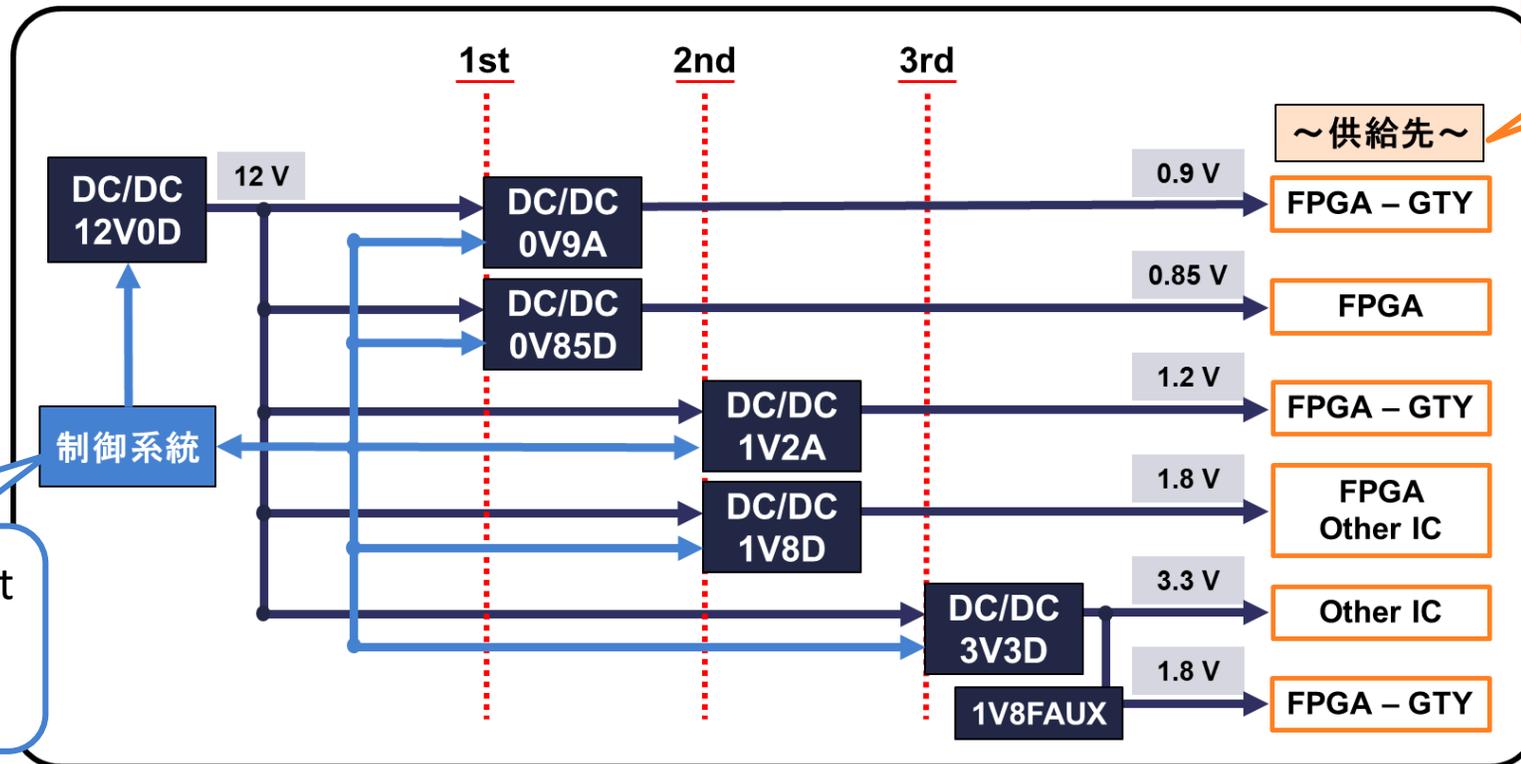
# ミューオントリガー基板 - 最終試作機

- 大規模FPGAを搭載する上で微細な電源系の要求がある
  - Power sequence circuit やCERNが開発した共通規格の メザニンカード(CERN-IPMC) を用いて制御を行っている
- 第一試作機からの主な変更点は
  - Power sequence circuit
  - 一部の DC/DCコンバータ
- 要求に関する電源系の変更である為、重点的に検証を行う必要がある



# 検証項目

1. パワーシーケンス: 要求通りの電源 ON/OFF の順序か (立ち上げ: 1st → 2nd → 3rd)
2. 電源ノイズ: 各供給先の要求値を満たしているか



各供給先で  
ノイズ要求有

- Power sequence circuit
- CERN-IPMC  
による電源の制御系

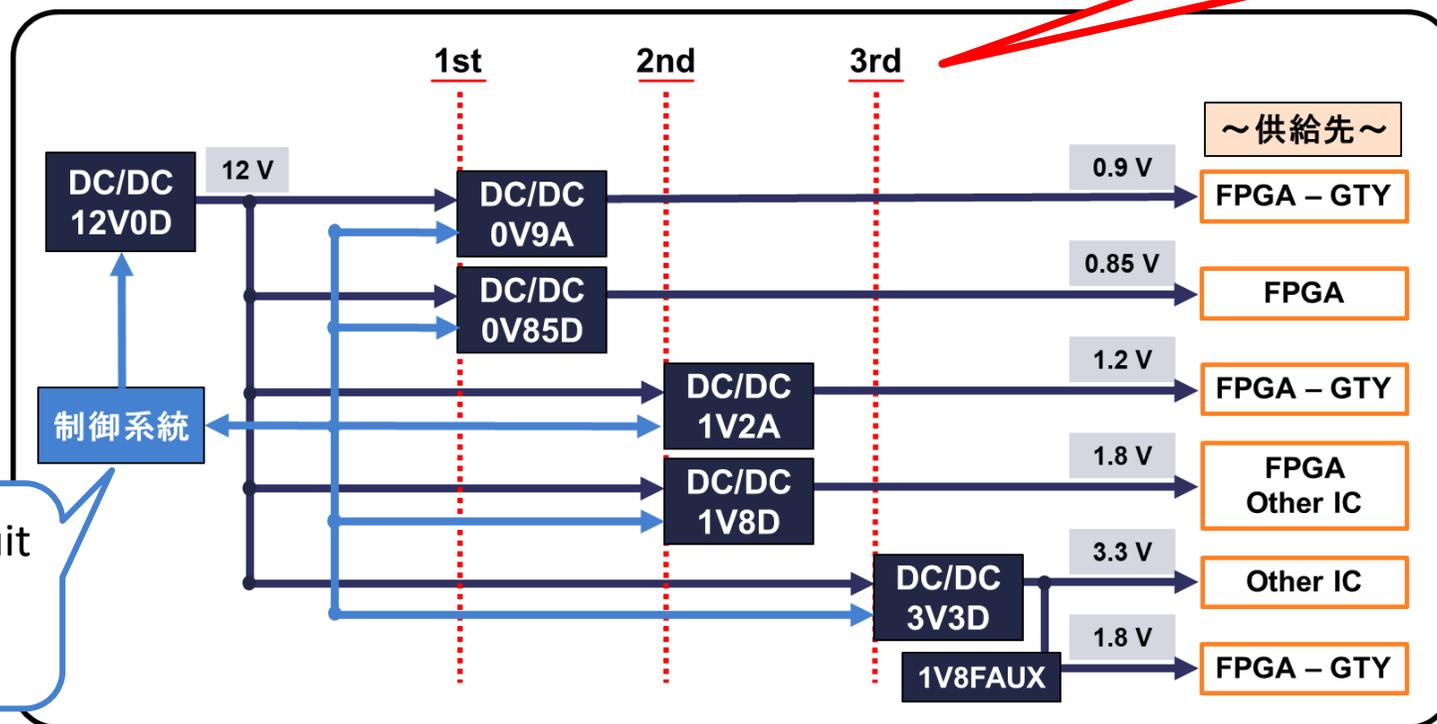
# 1. パワーシーケンス

---

# 1. パワーシーケンスの要求

- 大規模FPGAは複数の電源電圧を使用
  - ⇒ 電源 ON/OFF の際の過電流による故障を防ぐ必要
  - ⇒ 段階的に電源を立ち上げ、立ち下げを行う

- ・ 立ち上げ: 1st → 2nd → 3rd
- ・ 立ち下げ: 3rd → 2nd → 1st



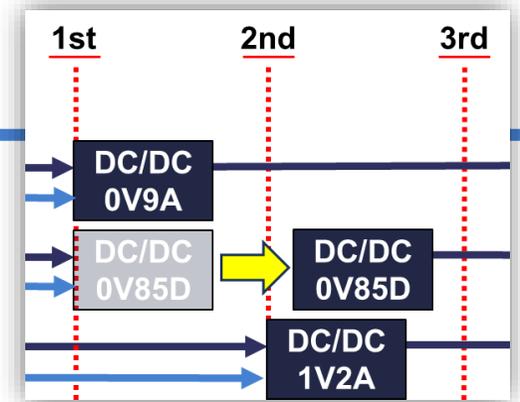
- Power sequence circuit
  - CERN-IPMC  
による電源の制御系

# 1. 第一試作機からの変更点

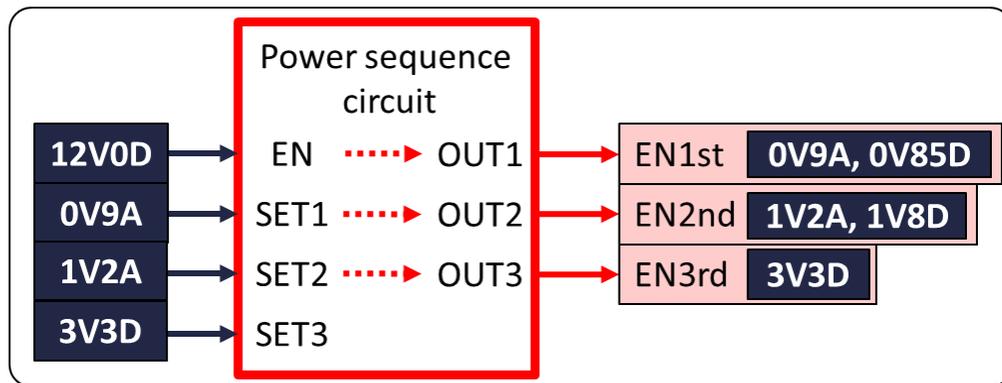
- 第一試作機での課題点:

0V85D (1st) が 1V2A (2nd) よりも立ち上がりが遅い

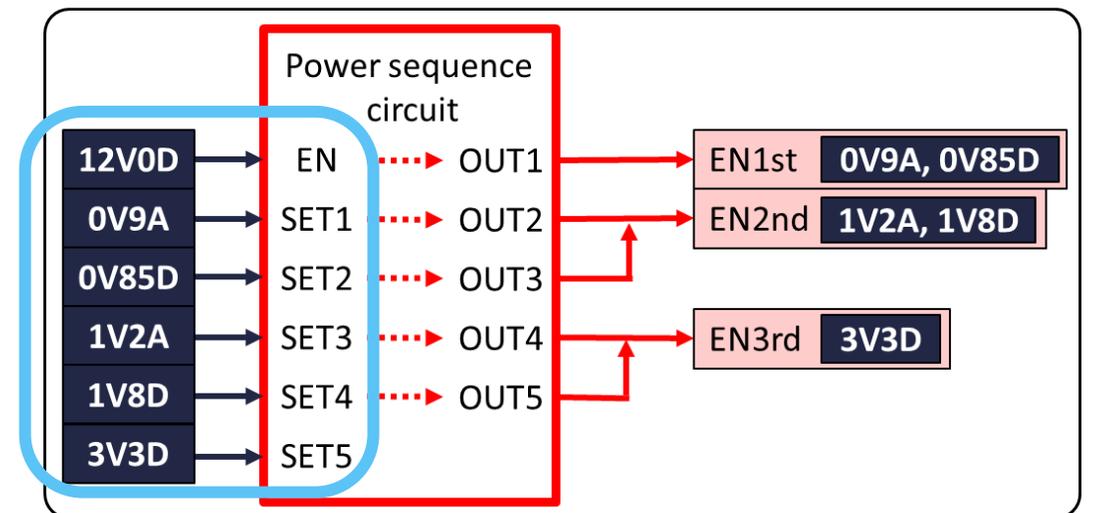
⇒ Power sequence circuit で 0V85D を監視していなかった



第一試作機



最終試作機



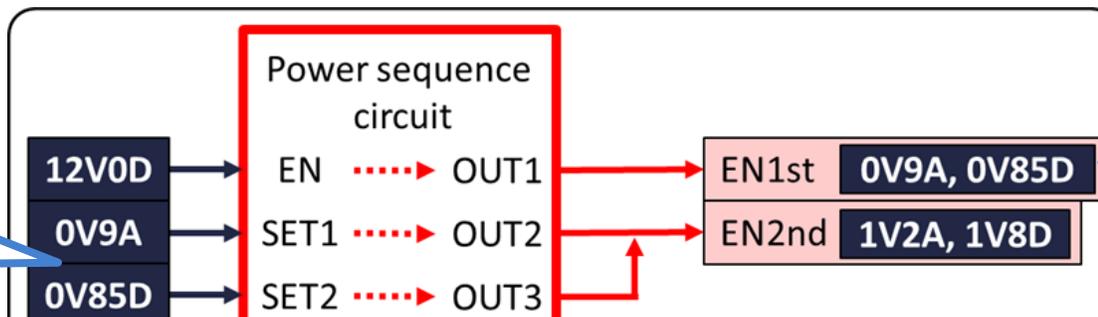
- 変更点:

全てのDC/DCコンバータを監視できる素子に変更した

# 1. パワーシーケンスの開発

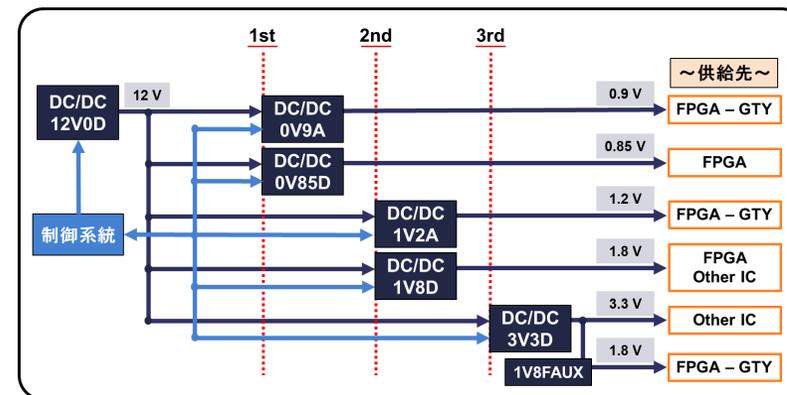
- 最終試作機で検証 ⇒ 最後まで起動しないという問題発生
- Power sequence circuitの理解が不十分だった  
⇒ 監視している電圧は全て順番通りに立ち上げる必要がある

SET1: 0V9A  
↓  
SET2: 0V85D  
の順で立ち上げを要求



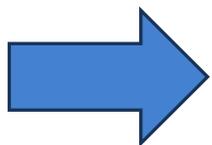
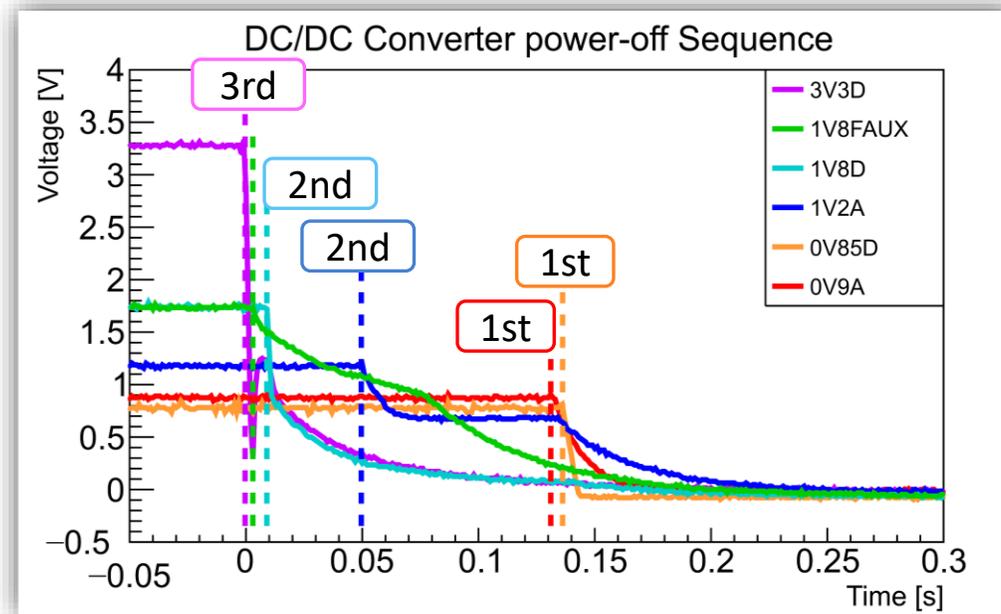
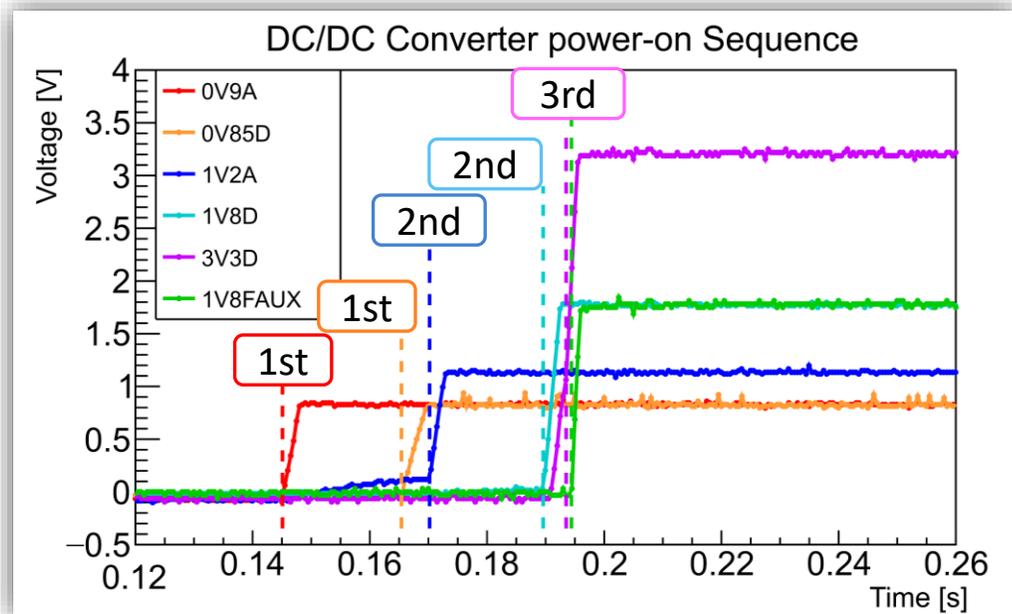
0V9A・0V85D  
同時にEnable信号  
を発信

- 解決策:  
CERN-IPMCシステムによる制御を開発・導入



# 1. パワーシーケンスの検証

- オシロスコープによる測定結果



要求通りのシーケンスを確認  
⇒ CERN-IPMCシステムを加えたパワーシーケンス制御を確立

## 2. 電源ノイズ

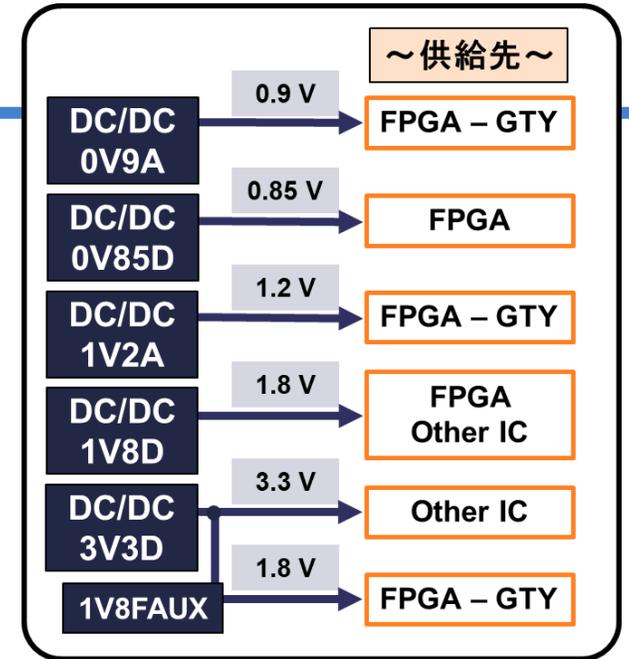
---

# 2. ノイズ要件

- FPGAのノイズ要求では  
高速シリアル通信 (GTY) に使用している電源が非常に重要

- ノイズ要件

	供給先	要求値
0V9A	FPGA – GTY	$V_{pp} < 10 \text{ mV}$
0V85D	FPGA	$\pm 25 \text{ mV}$
1V2A	FPGA – GTY	$V_{pp} < 10 \text{ mV}$
1V8D	FPGA, Other IC	$\pm 54 \text{ mV}$
3V3D	Other IC	--
1V8FAUX	FPGA – GTY	$V_{pp} < 10 \text{ mV}$



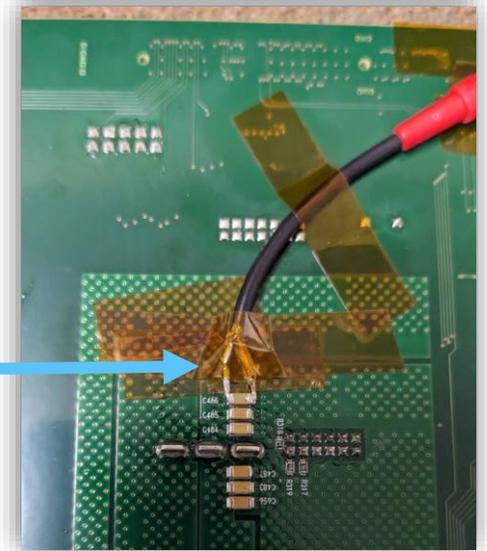
10 kHzから80 MHzの周波数帯で  
peak-peak voltage ( $V_{pp}$ ) < 10 mV

⇒ 全てのDC/DCコンバータ由来のノイズが  $V_{pp} < 10 \text{ mV}$  (一番厳しい要求) を満たすことを検証する

## 2. ノイズの測定手法

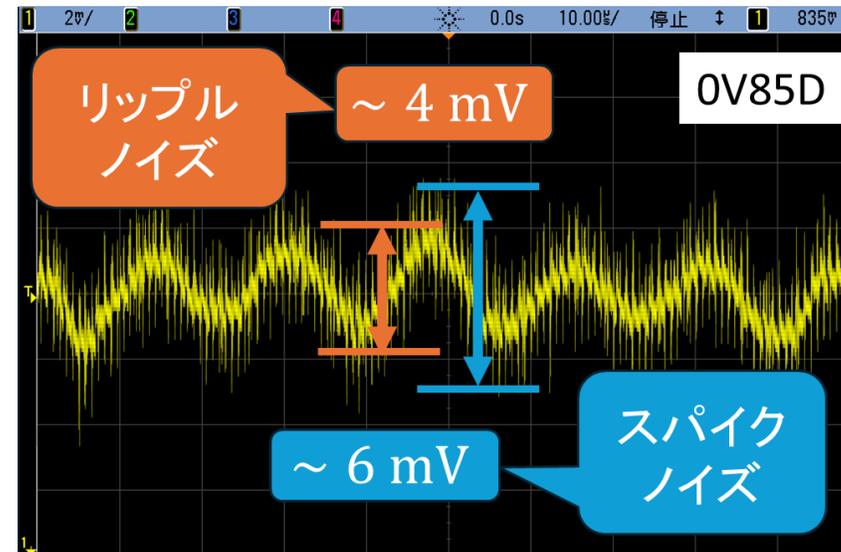
- 測定手法

- 80 MHz以上の帯域を持つオシロスコープを使用
  - InfiniiVision MSO7014A – 100 MHz, 2 Gsa/s
- DC/DCコンバータに関係ないノイズを拾わないようにする為  
同軸ケーブルをはんだ付けして測定



- 測定ノイズの種類

- ◆ リップルノイズ:  
DC/DCコンバータが主な要因
- ◆ スパイクノイズ:  
プロービングにより大きさが変化

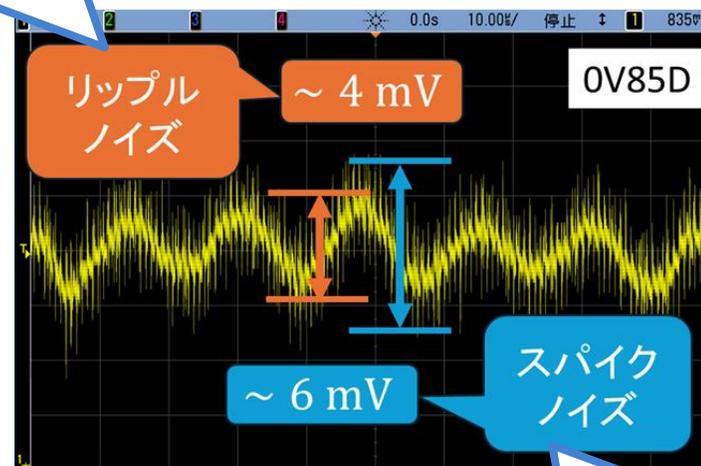


## 2. ノイズの検証結果

- 測定結果: 全てのDC/DCコンバータ由来のノイズが  $V_{pp} < 10 \text{ mV}$  (一番厳しい要求値)を確認

	供給先	リップル	スパイク
0V9A	FPGA - GTY	3 mV	7 mV以下
0V85D	FPGA	4 mV	6 mV以下
1V2A	FPGA - GTY	3.5 mV	9 mV以下
1V8D	FPGA, Other IC	6 mV	7 mV以下
3V3D	Other IC	4 mV	7 mV以下
1V8FAUX	FPGA - GTY	3 mV	3 mV以下

DC/DCコンバータが主な要因



プロービングにより大きさが変化

全ての供給先の要求を満たしていることを確認

# Summary

- LHC-ATLAS実験は高輝度化に向けたトリガーシステムのアップグレードが重要
- ミューオントリガー基板の開発
  - ⇒ 電源系の制御が非常に重要な項目
- 検証結果
  1. パワーシーケンス:
    - ⇒ IPMCを用いて要求を満たす手法を確立
  2. 電源ノイズ:
    - ⇒ 全てが要求を満たすことを示した
- その他の検証もクリア
- ミューオントリガー基板の最終試作機の電源システムが運用上問題ないことを示した



backup

---

# 1. 基礎チェック

- 各素子の実装状況の目視確認
  - はんだ不良は無いか  
⇒ OK
  - 実装の向きは間違っていないか  
⇒ OK  
(誤りはあるが、対処済み)
- 素子の型番はあっているか  
⇒ OK  
(一か所間違っていたが、換装済み)
- 干渉は無いか  
⇒ microSDの抜き差しが難しい

- 各電源パスの抵抗値チェック(マルチメータ)

⇒ 第一試作機と値が  
少し異なるが問題なし

回路のショートや断線  
のチェック

確認項目	確認内容 ( ) 内は ver1 の値	確認欄 (測定値) SN2078556F	確認欄 (測定値) SN20785579
CN49 (ATCAバス電源)	25-33, 25-34, 26-33, 26-34がショートしていないこと	OK ショートなし	OK ショートなし
CN49 (ATCAバス電源)	25-26が1 Ohm程度になっていること	OK	OK
-48V	TPIN3-C319(-) 間 (57.6nF)	NA, 56.7nF	NA, 56.8uF
12V0D	TPIN4-C333(+) 間 (~ 1 kOhm, 3.84 mF)	2.67kOhm, 5.43mF	2.68kOhm, 5.38mF
3V3DMP	TPIN4-C317(+) 間 (63.9 Ohm)	66.70hm, NA	67.00hm, NA
0V85D	TPIN4-C489(+) 間 (0.61 Ohm)	0.300hm, NA	0.240hm, NA
0V9A	TPIN2-FL8(2) 間 (5.22 Ohm)	8.20hm, NA	6.50hm, NA
1V2A	TPIN1-FL7(2) 間 (17.0 Ohm)	30.00hm, NA	23.50hm, NA
1V8D	TPIN4-C428(+) 間(259 Ohm, 2.42m)	1.2kOhm, 3.1mF	1.21kOhm, 3.1mF
1V8FAUX(1V8A)	TPIN1-C500 間 (2.25 kOhm, 140u)	5.28kOhm, 189uF	5.1kOhm, 188uF
3V3D	TPIN4-C410 間 (422 Ohm, 3.20m)	2.38kOhm, 3.94mF	2.38kOhm, 3.4mF
	R163 (3V3D cfg, 11.3kOhm)	目視チェックでOK(5.29kOhm)	
	R170 (1V8D cfg, 3.16kOhm)	目視チェックでOK(2.35kOhm)	
	R177 (1V2 cfg, 1.62kOhm)	目視チェックでOK(1.38kOhm)	
	R184 (0V9 cfg, 8250hm)	目視チェックでOK(0.763kOhm)	
	R317 (86.6kOhm)	目視チェックでOK	
	R318 (68.1kOhm)	目視チェックでOK	
	R319 (301 kOhm)	目視チェックでOK	

# 4. Check operation of I2C sensor

---

- Temperature sensor ALERT signal
- SY3V3D、SY1V8D、SY1V2A、SY0V9A
- IPI2CRST、IPPWRRST
- SEQSHDNB
- GPIO I2C
- IPPWRALT、QBDALRT
- IPETLED0、IPETLED1
- SEQRSTB
- PSDONE
- UART communication (SDI, SOL)
- Controls front panel LEDs



Verification complete  
except for items requiring other preparation

# ノイズの測定項目

● オシロスコープとシェルフ:グラウンド接続なし

1. 0V85D:C486
2. 0V9A:FL8(2・4)
3. 1V2A:FL6(2・4)
4. 3V3D:C416
5. 1V8D:C429
6. 1V8FAUX:C500
7. 再 1V2A: FL6(2・4)

ファームウェアを書き込むことで  
電流量が大きくなり  
ノイズが変わる可能性を考えた

● オシロスコープとシェルフ:グラウンド接続なし

- ファームウェアを書き込んだ
8. 再々 1V2A: FL6(2・4)
9. 再 1V8FAUX:C500

● オシロスコープとシェルフ:グラウンド接続あり

10. 0V85DのFPGAに近い所:C255
11. 0V85DのFPGAに遠い所:C250

# ノイズの測定場所

## ● 基盤表

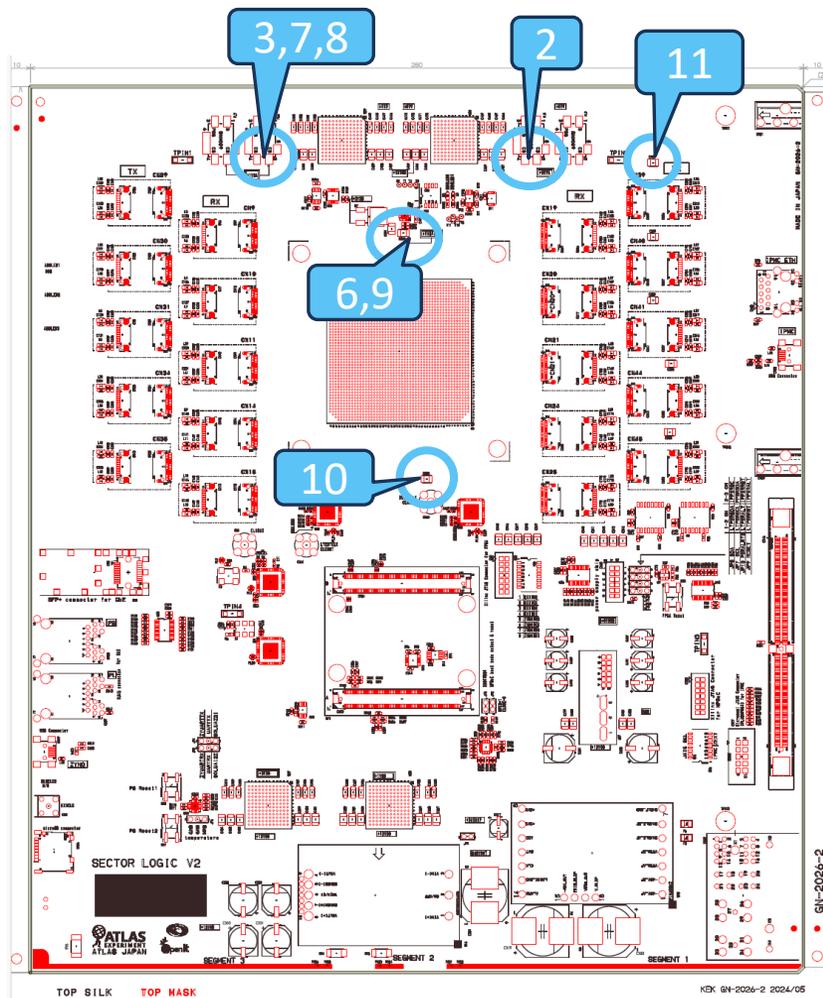
2. 0V9A: FL8(2・4)

3,7,8. 1V2A:  
FL6(2・4)

6,9. 1V8FAUX: C500

10. 0V85D-FPGA近:  
C255

11. 0V85D-FPGA遠:  
C250

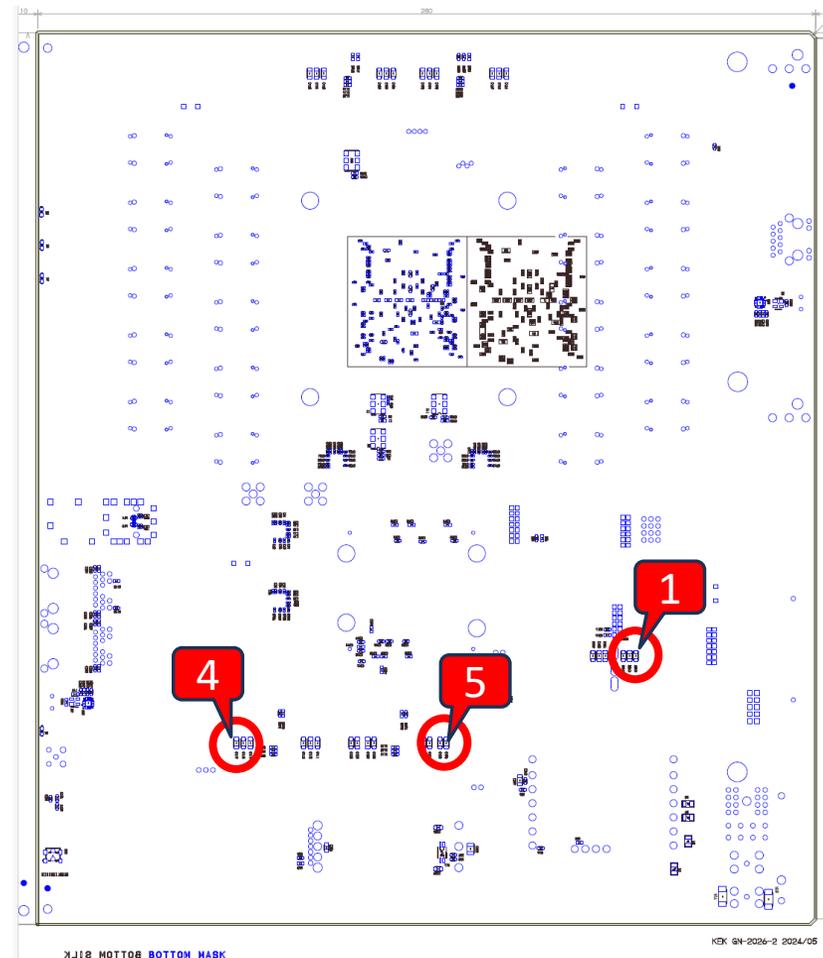


## ● 基盤裏

1. 0V5D: C486

4. 3V3D: C416

5. 1V8D: C429



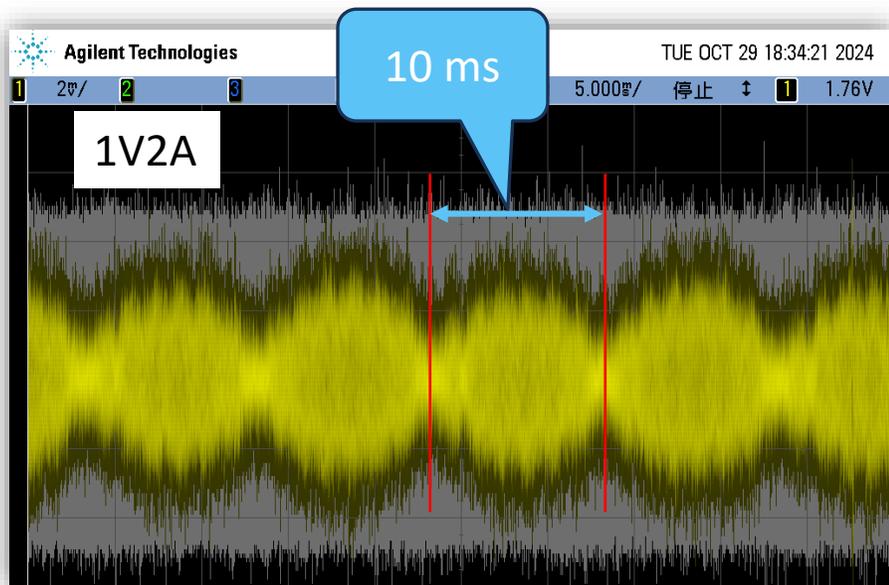
# 測定結果

- グラウンド接続していなかった時を考慮しても  $V_{pp} \leq 10 \text{ mV}$  であることが確認出来た

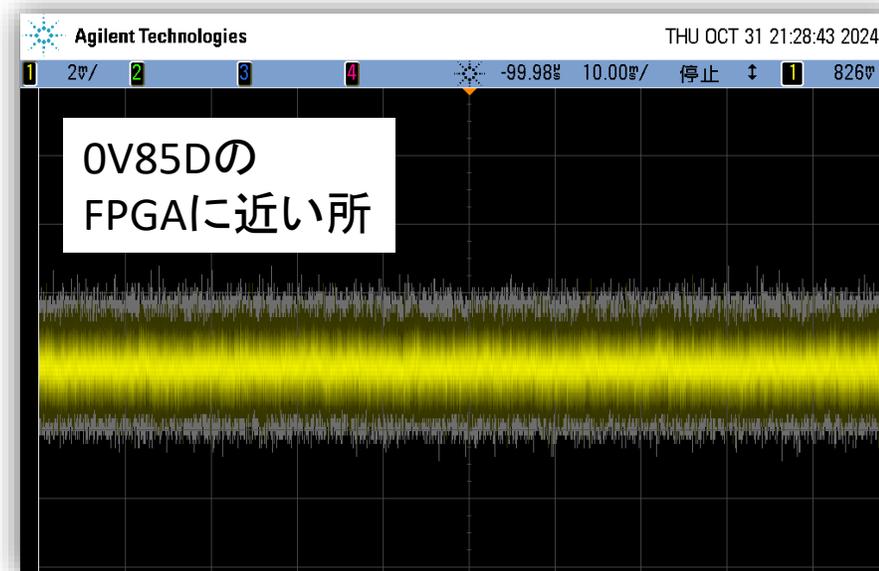
電源名	供給先	測定箇所	リップル (スパイク)	Firm ware有リップル (スパイク)	グラウンド接続 Firm ware有リップル (スパイク)
0V85D	FPGA	C486	4 mV (6 mV)		
0V85D - FPGA近	FPGA	C255			1.5 mV (3 mV)
0V85D - FPGA遠	FPGA	C250			2 mV (3 mV)
0V9A	FPGA - GTY	FL8(2・4)	3 mV (7 mV)		
1V2A	FPGA - GTY	FL6(2・4)	3.5 mV (9 mV)	7.5 mV (12.5 mV)	
1V8FAUX	FPGA - GTY	C500	3 mV (3 mV)	7 mV (7 mV)	
1V8D	他のIC	C429	6 mV (7 mV)		
3V3D	他のIC	C416	4 mV (7 mV)		

# ノイズの種類

- DC/DCコンバータの電源ラインに乗っていないと考えられるノイズ  
⇒ これらのノイズは無視する
- 100 Hzのノイズ
  - 関東の50 Hz電源由来のノイズ
  - オシロとシェルフのグラウンドをつなげると減った

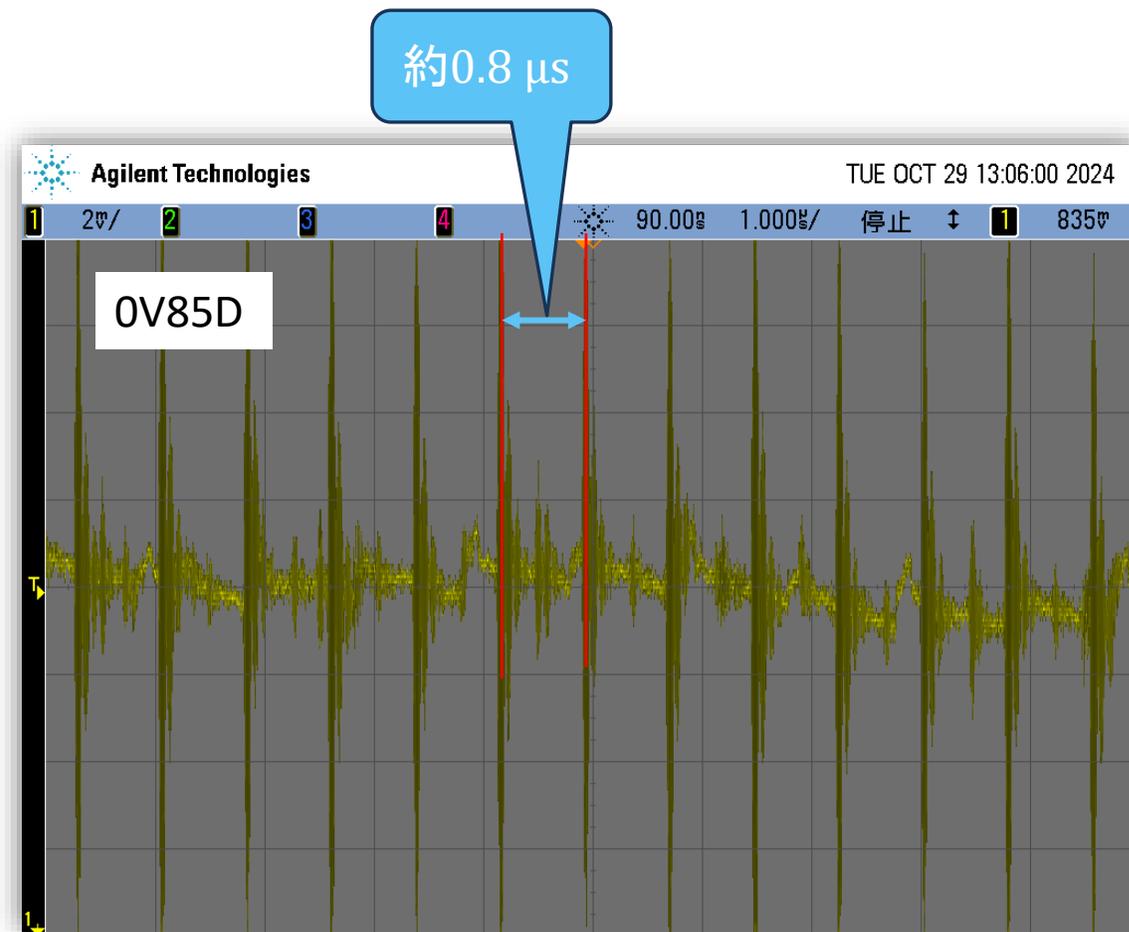


グラウンドを  
つなげた後



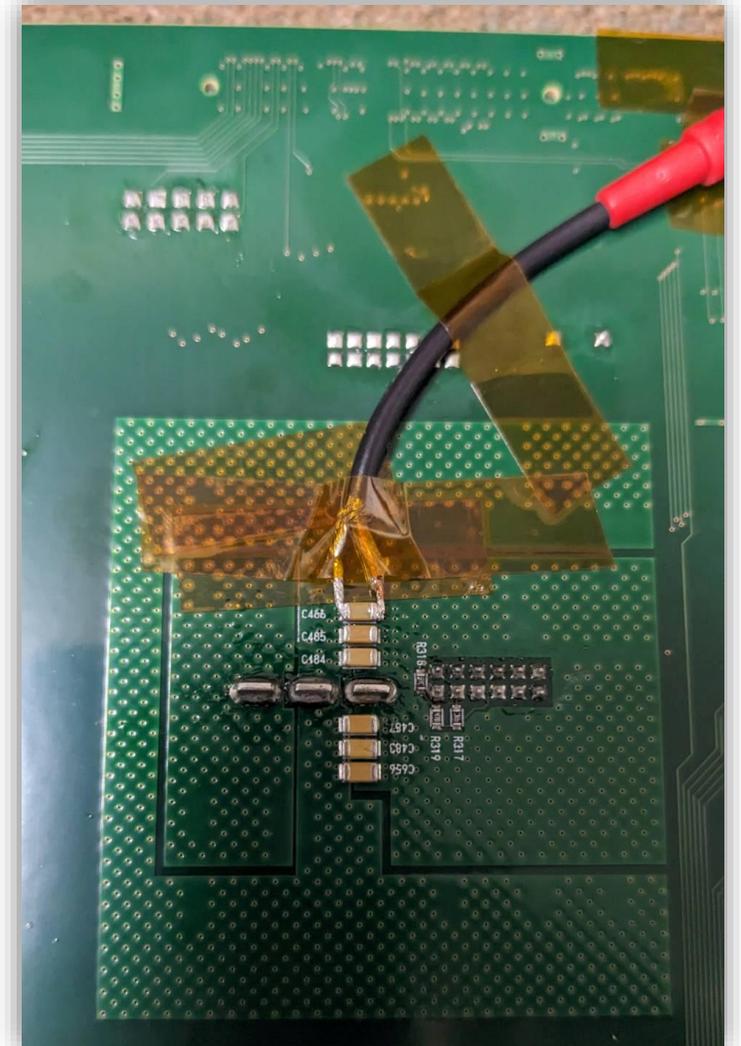
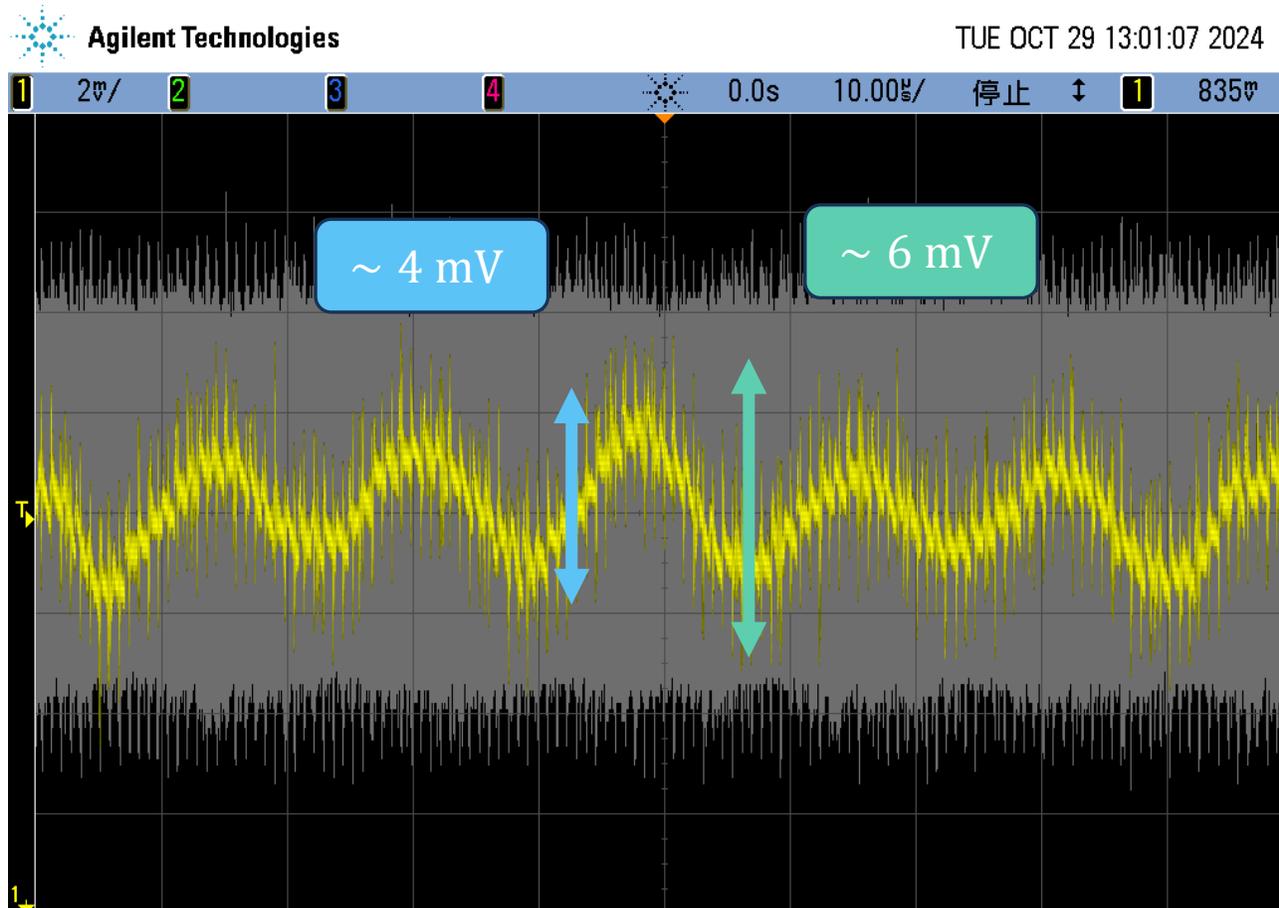
# ノイズの種類

- ▶ 約1.25 MHzのスパイクノイズ
  - 原因は不明
  - ケーブルをfireflyに近づけるとノイズが大きくなった
- ケーブルの位置によって振幅が変わる為、実際の基板では大きさが不明
- ▶ 解釈には注意が必要



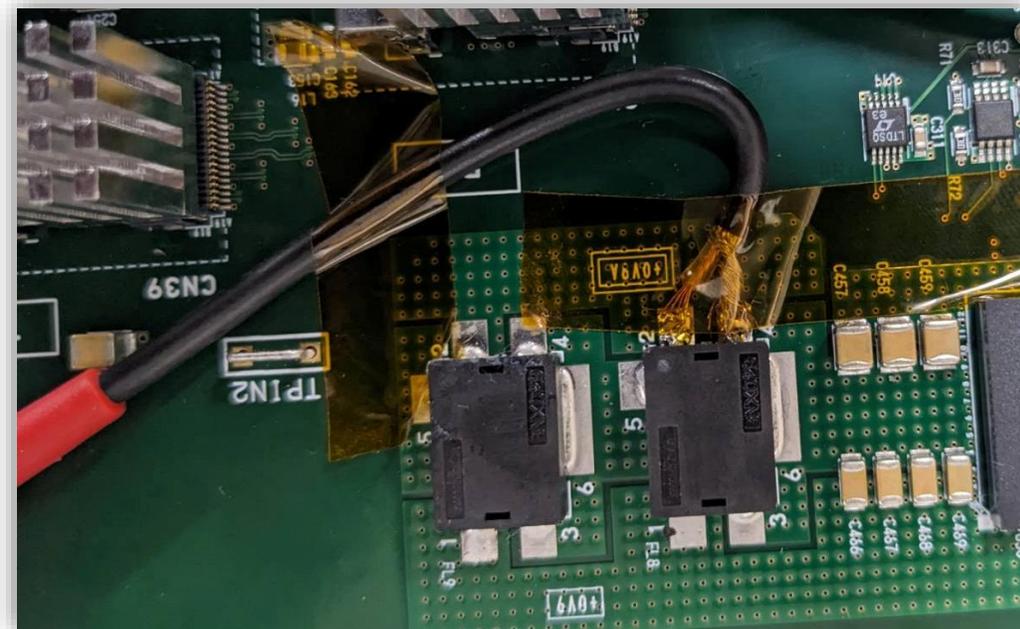
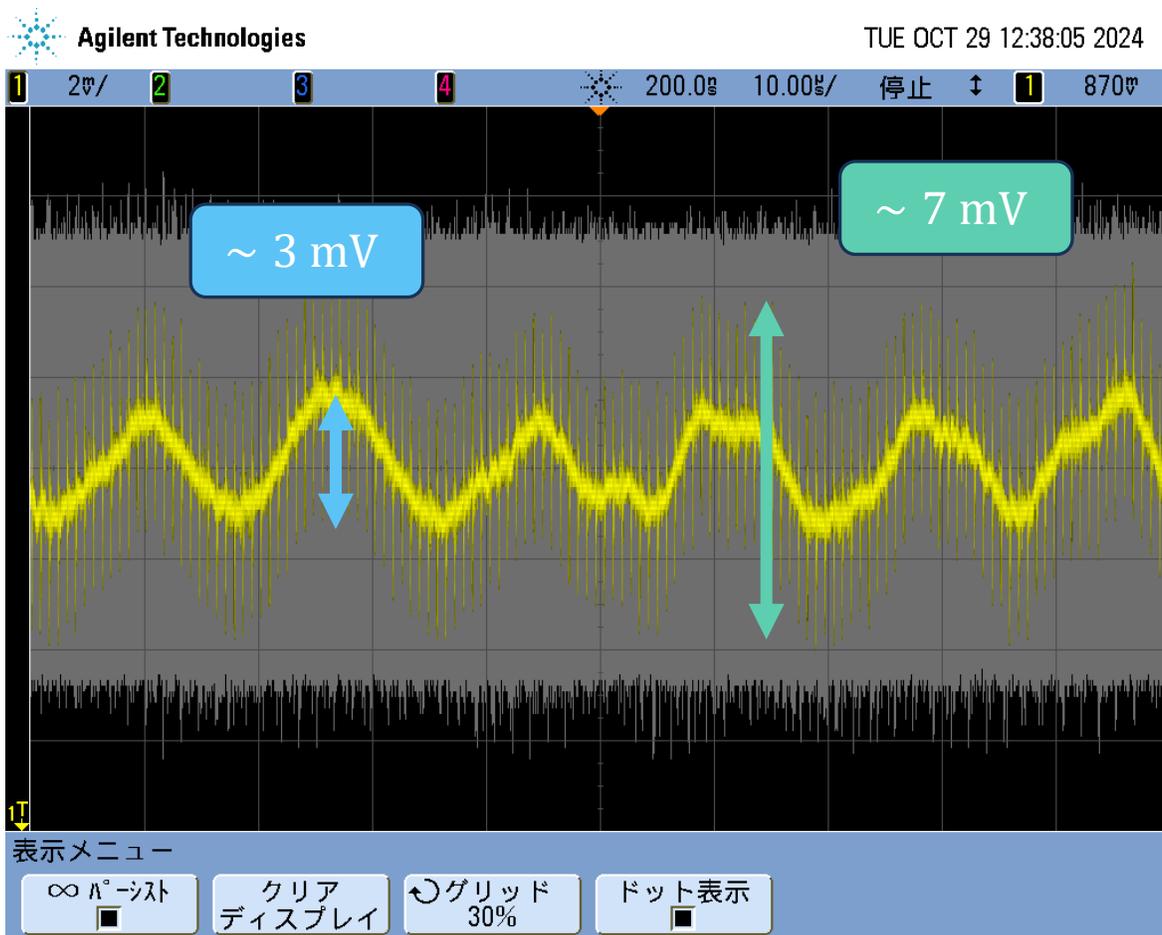
# 1.0V85D:C486

- 基盤の裏のC486に同軸ケーブルをはんだづけ



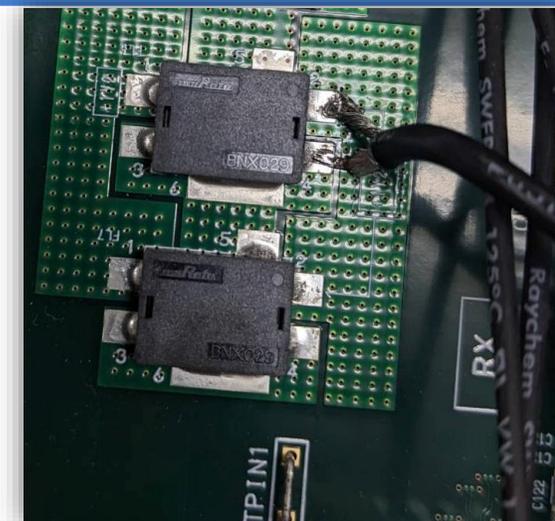
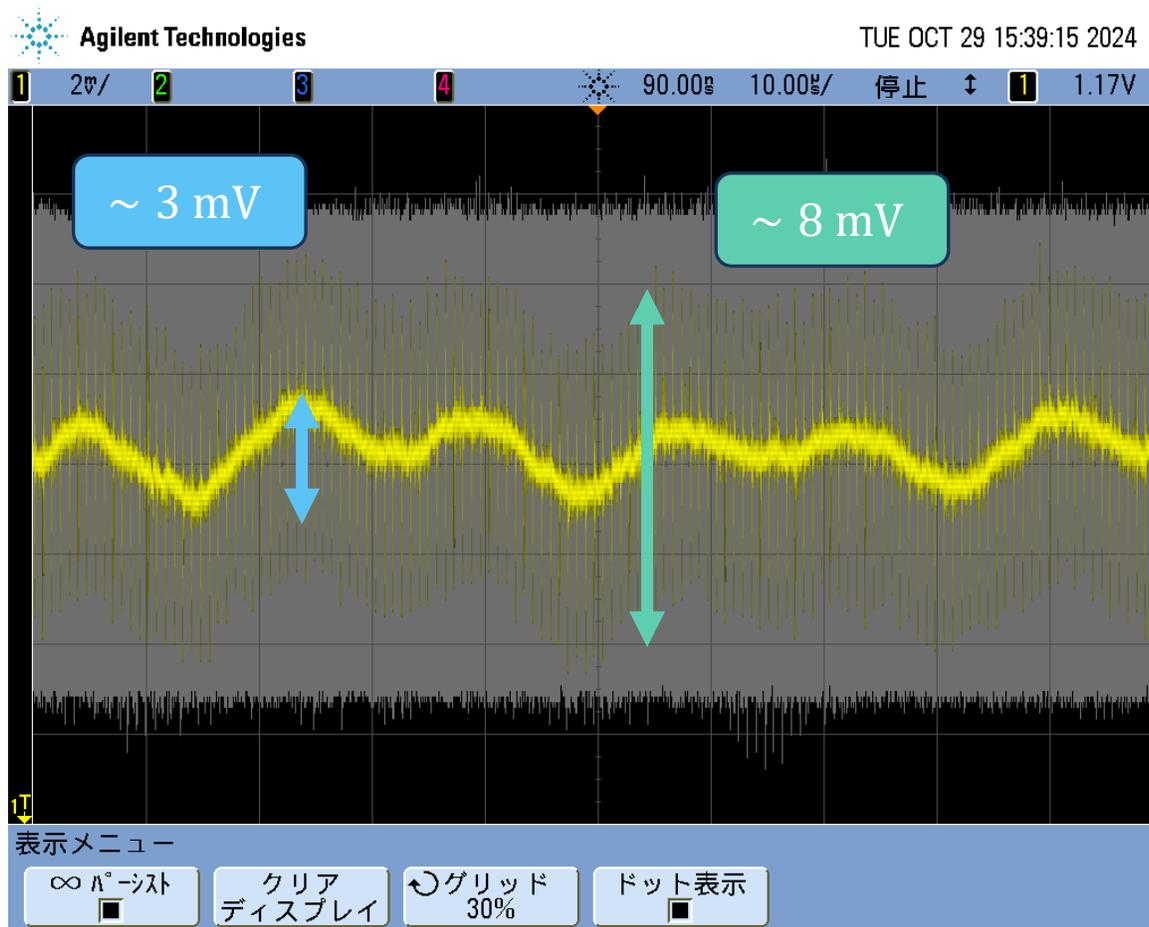
# 2.0V9A:FL8(2・4)

- FL8(2・4)に同軸ケーブルをはんだづけ



# 3.1V2A:FL6(2・4)

- FL6(2・4)に同軸ケーブルをはんだづけ

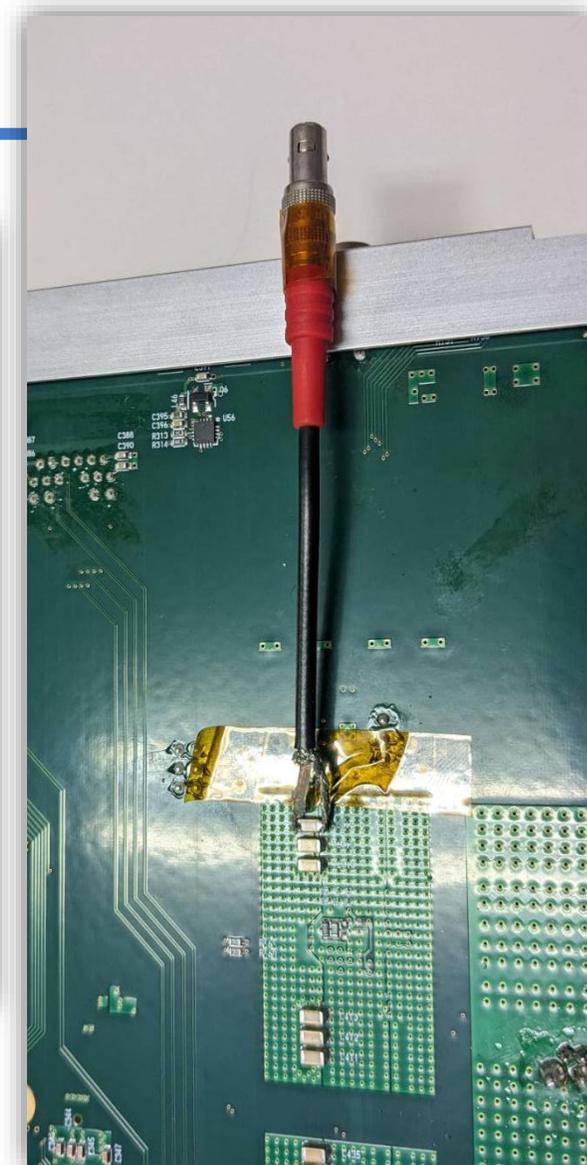
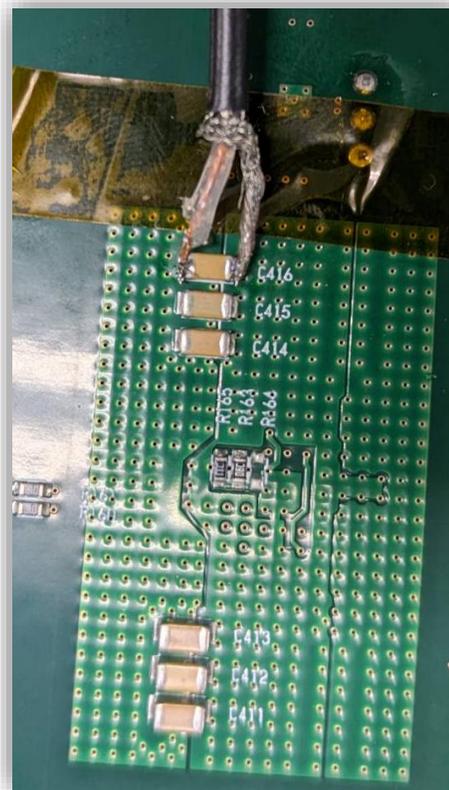
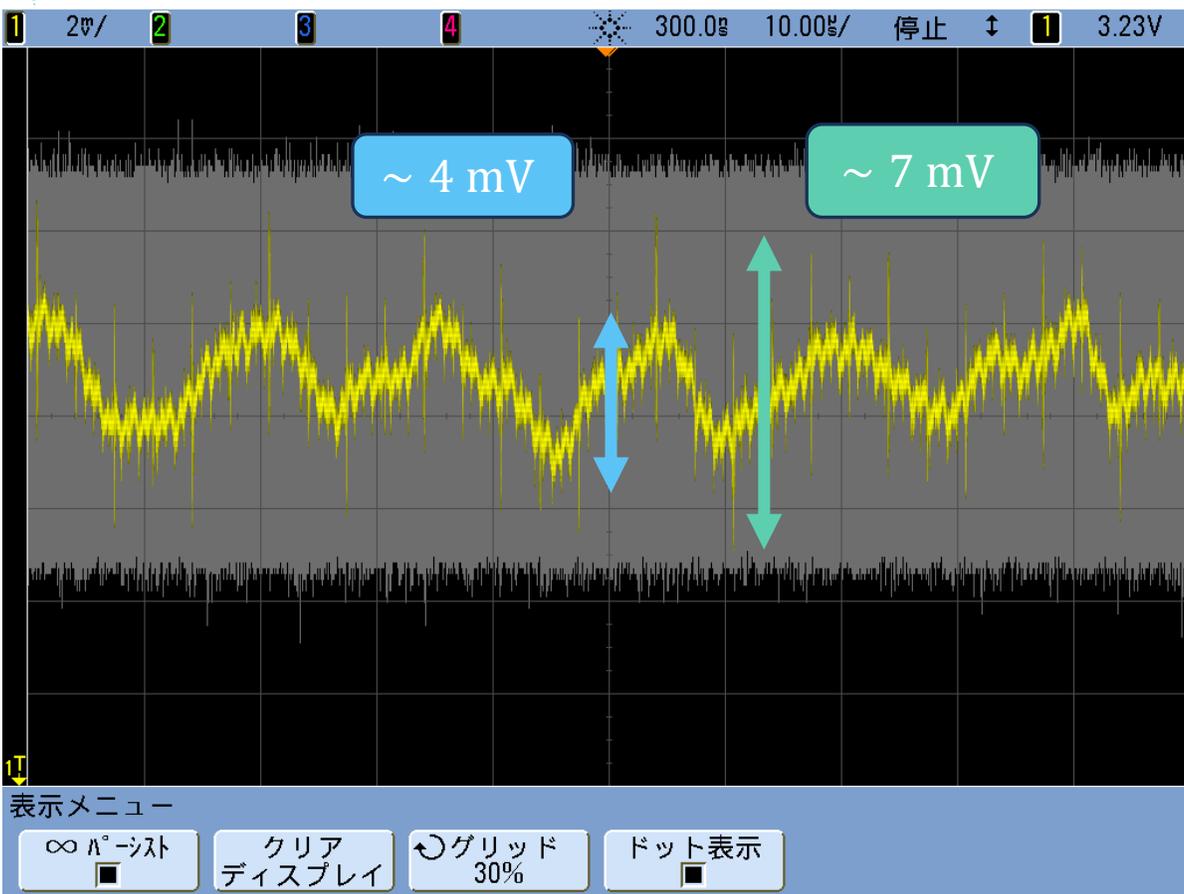


# 4.3V3D:C416

- 基盤の裏のC416に同軸ケーブルをはんだづけ

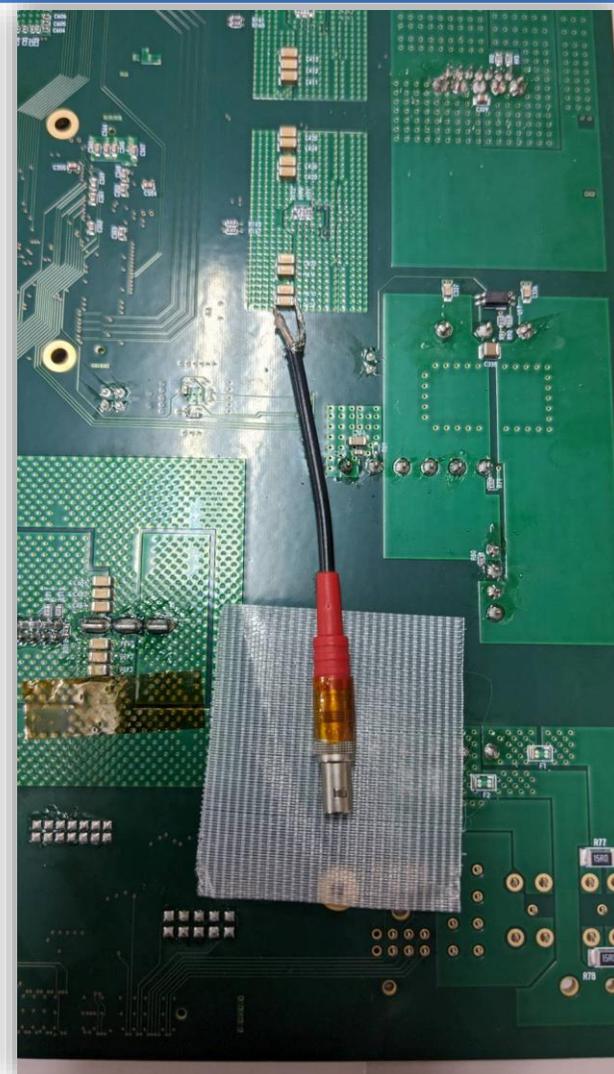
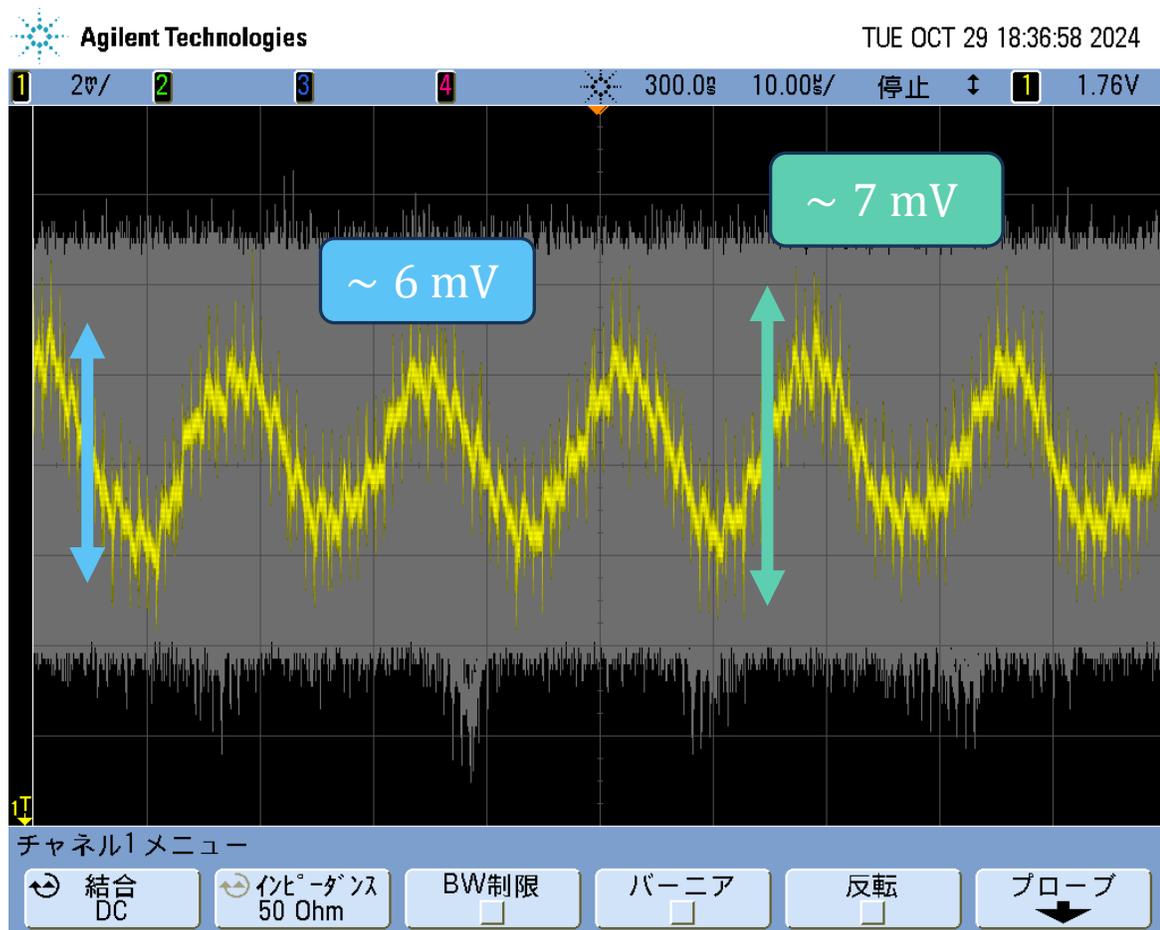
Agilent Technologies

TUE OCT 29 17:23:33 2024



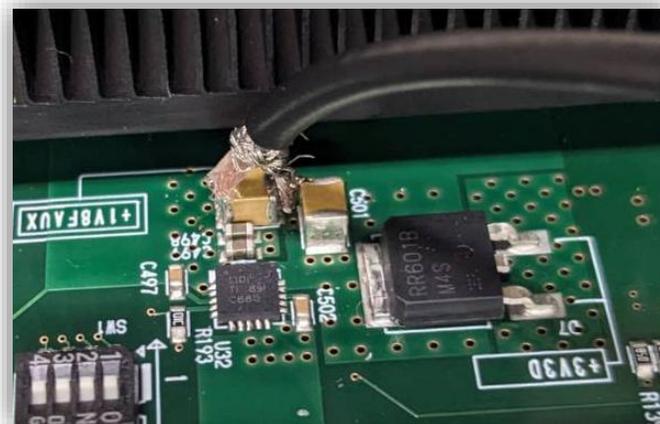
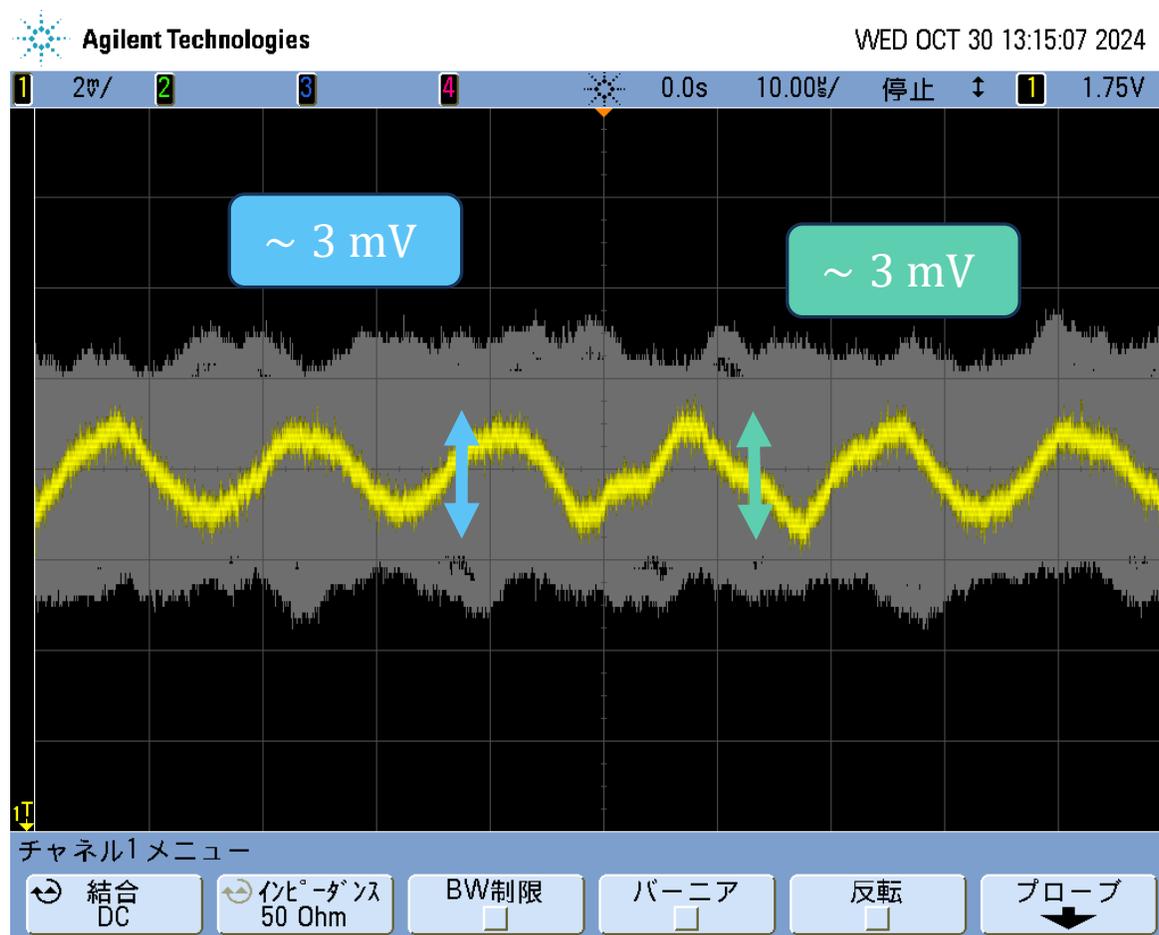
# 5. 1V8D:C429

- 基盤の裏のC429に同軸ケーブルをはんだづけ



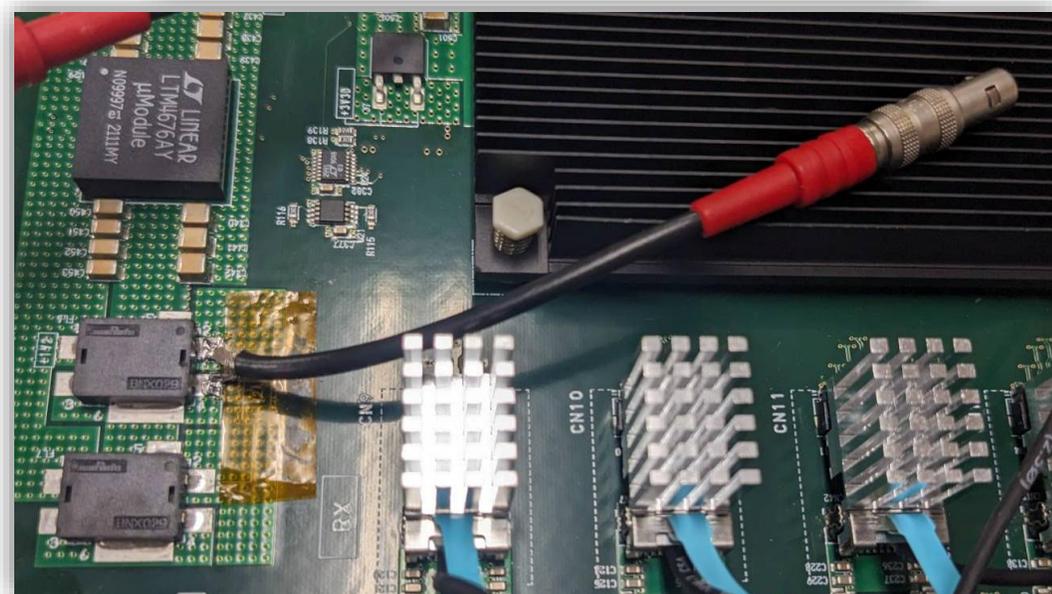
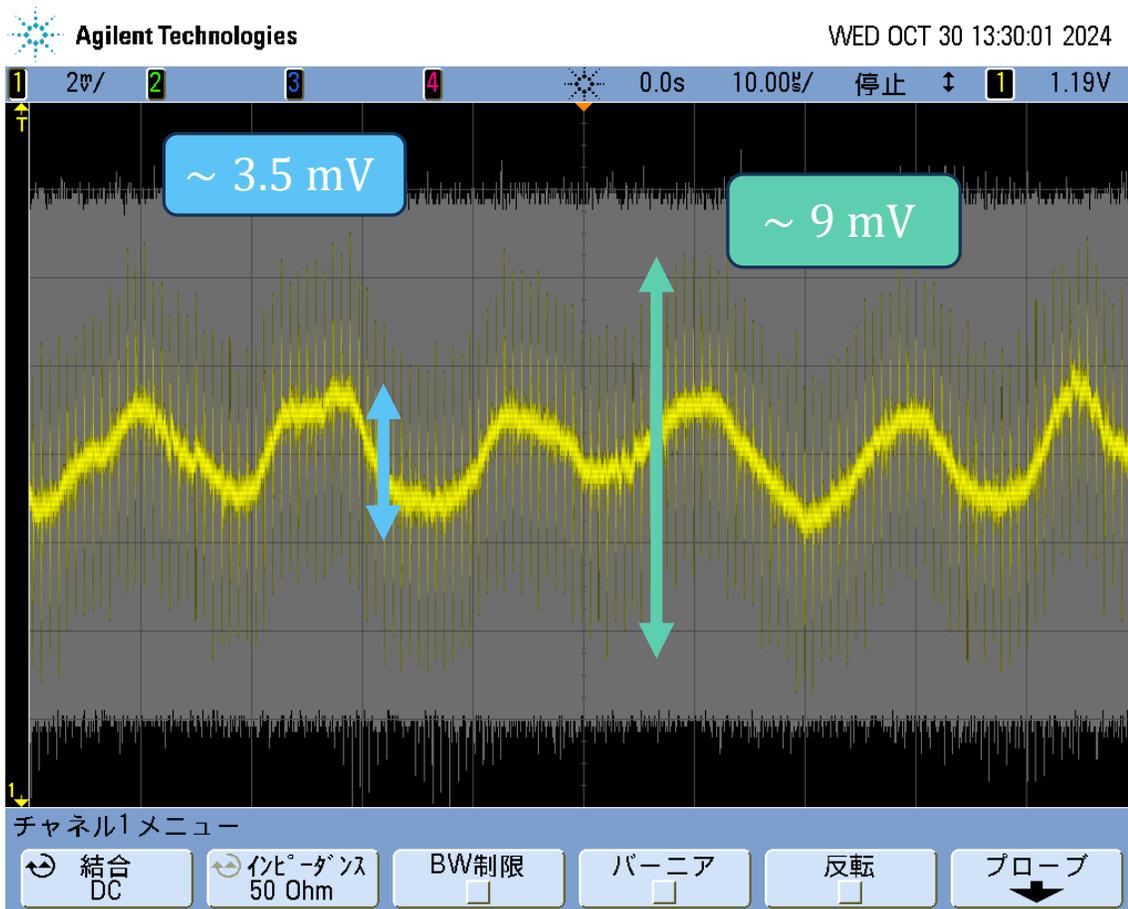
# 6. 1V8FAUX:C500

- C500に同軸ケーブルをはんだ付け



# 7.再 1V2A: FL6(2・4)

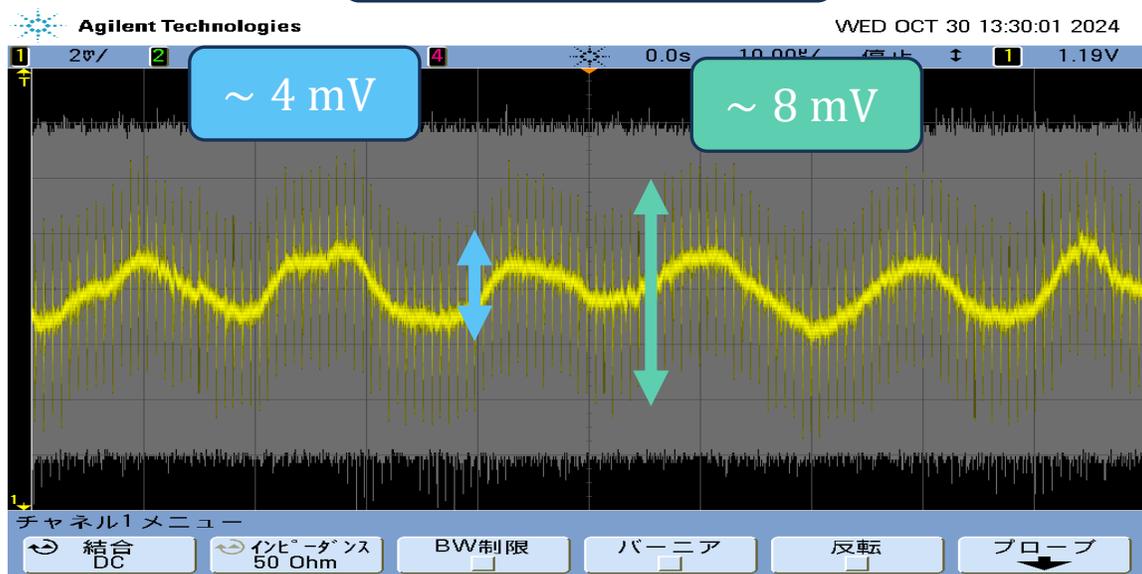
- FL6(2・4)に同軸ケーブルをはんだづけ



# 8.再々 1V2A: FL6(2)

- ファームウェアの有り無しで比較

ファームウェアなし

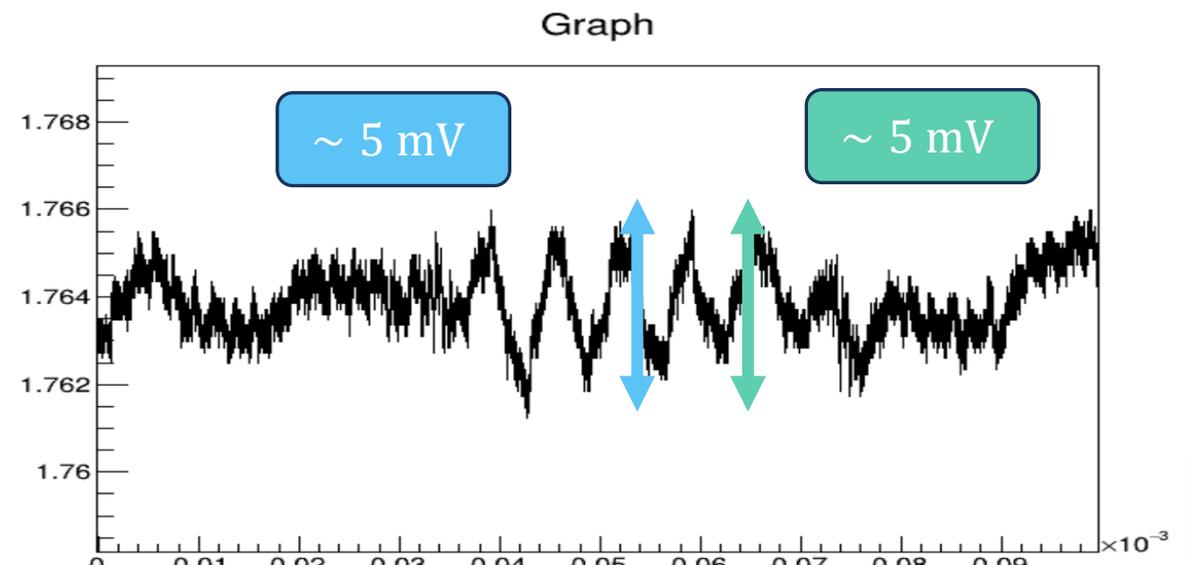
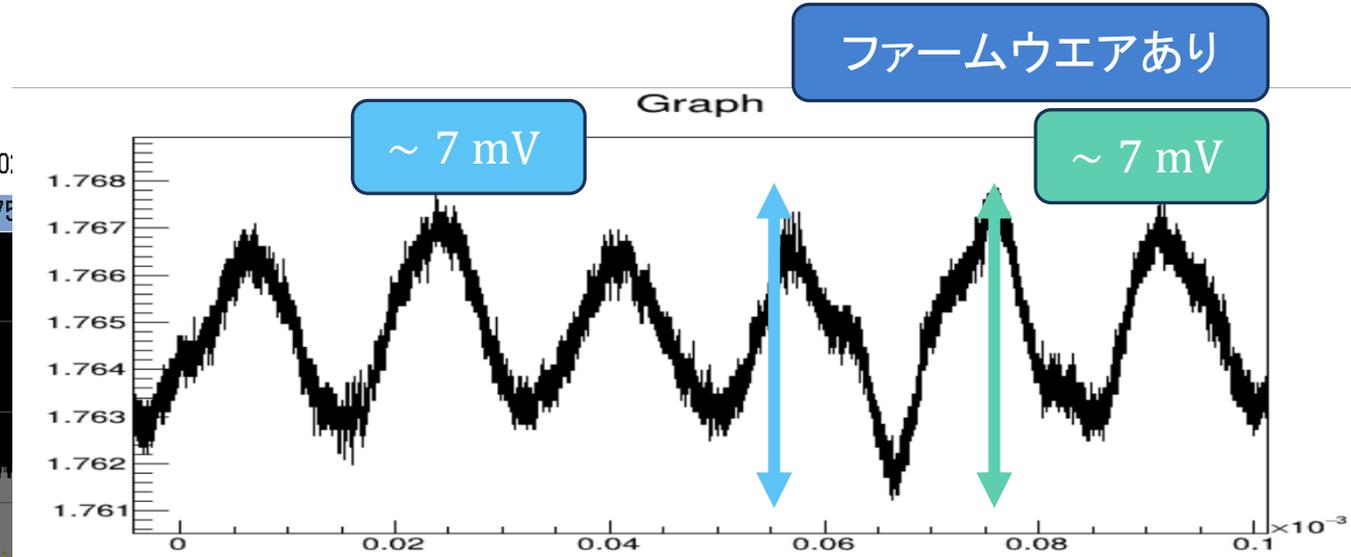
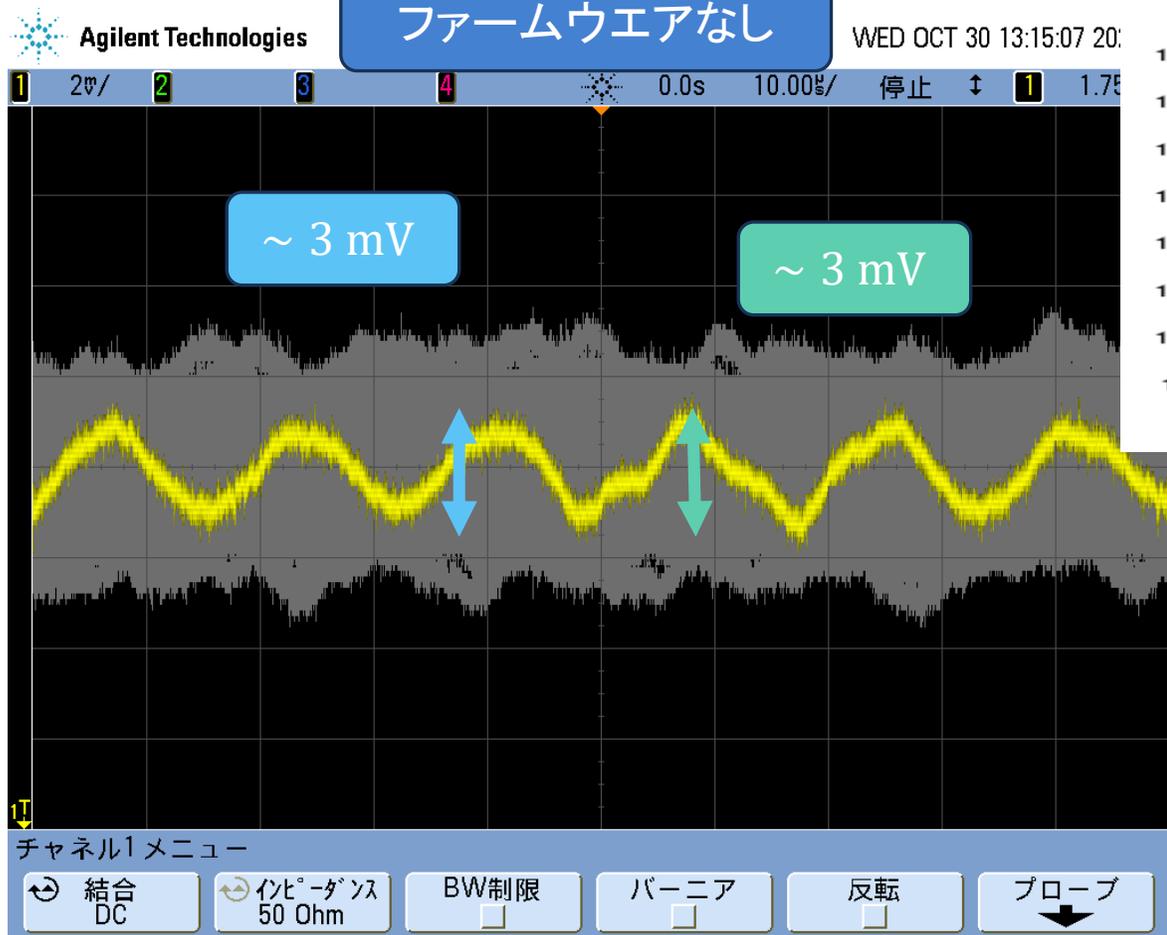


ファームウェアあり



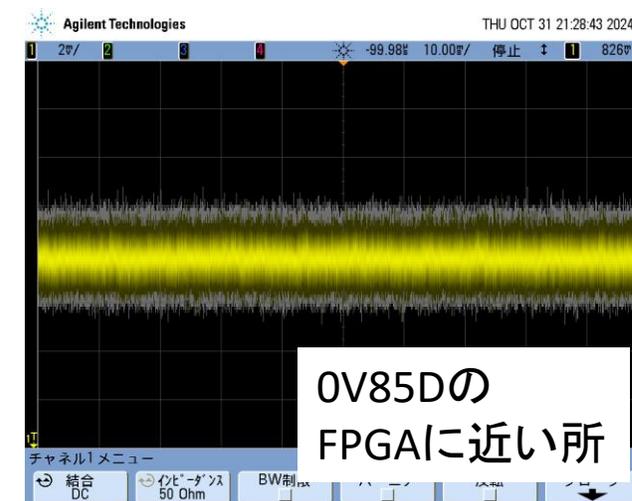
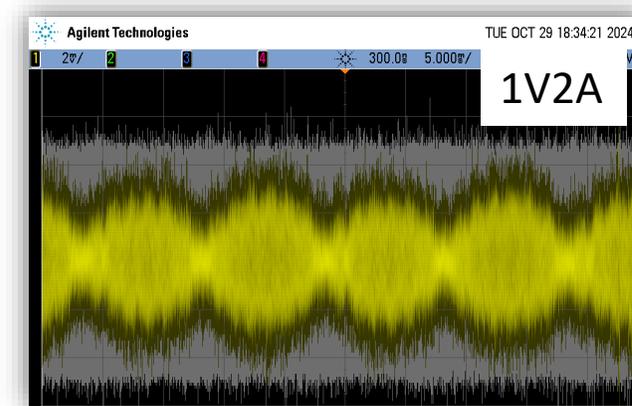
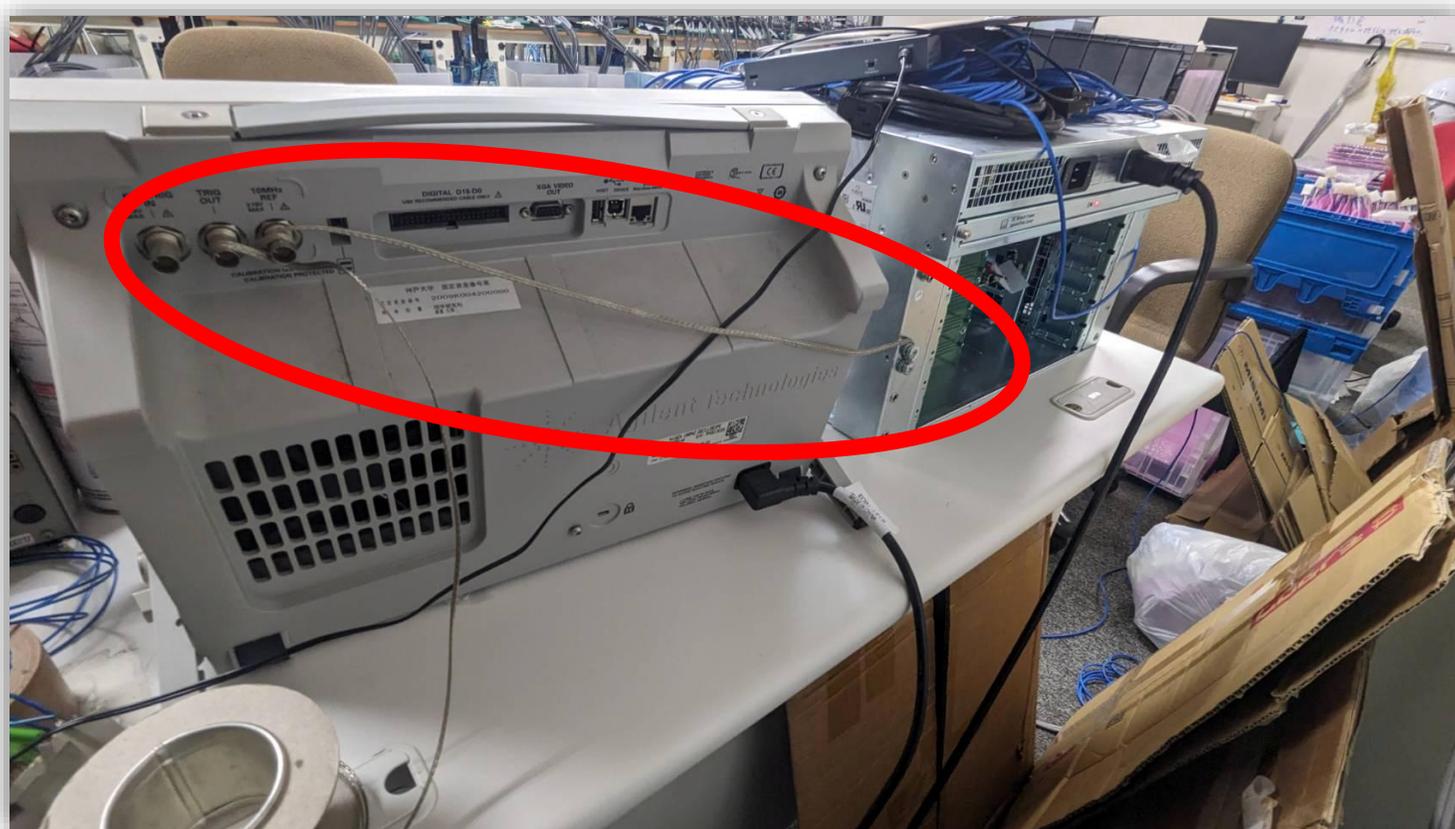
# 9.再 1V8FAUX:C500

- ファームウェア有り無しで比較



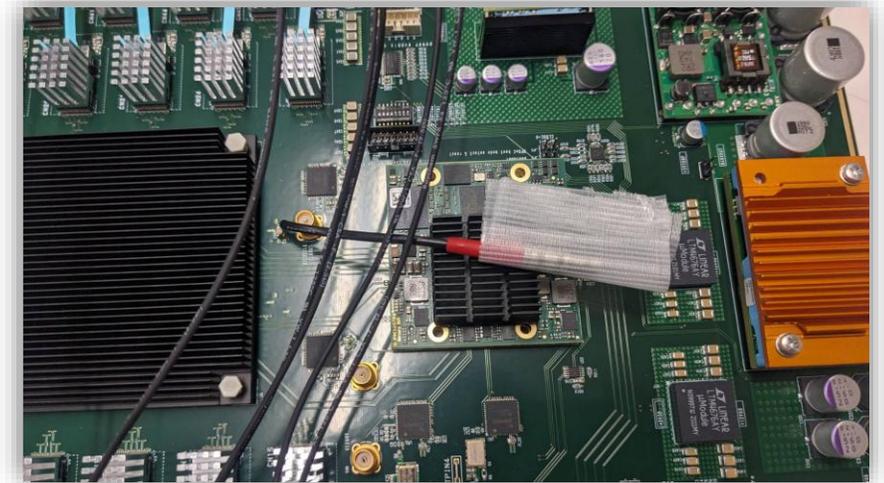
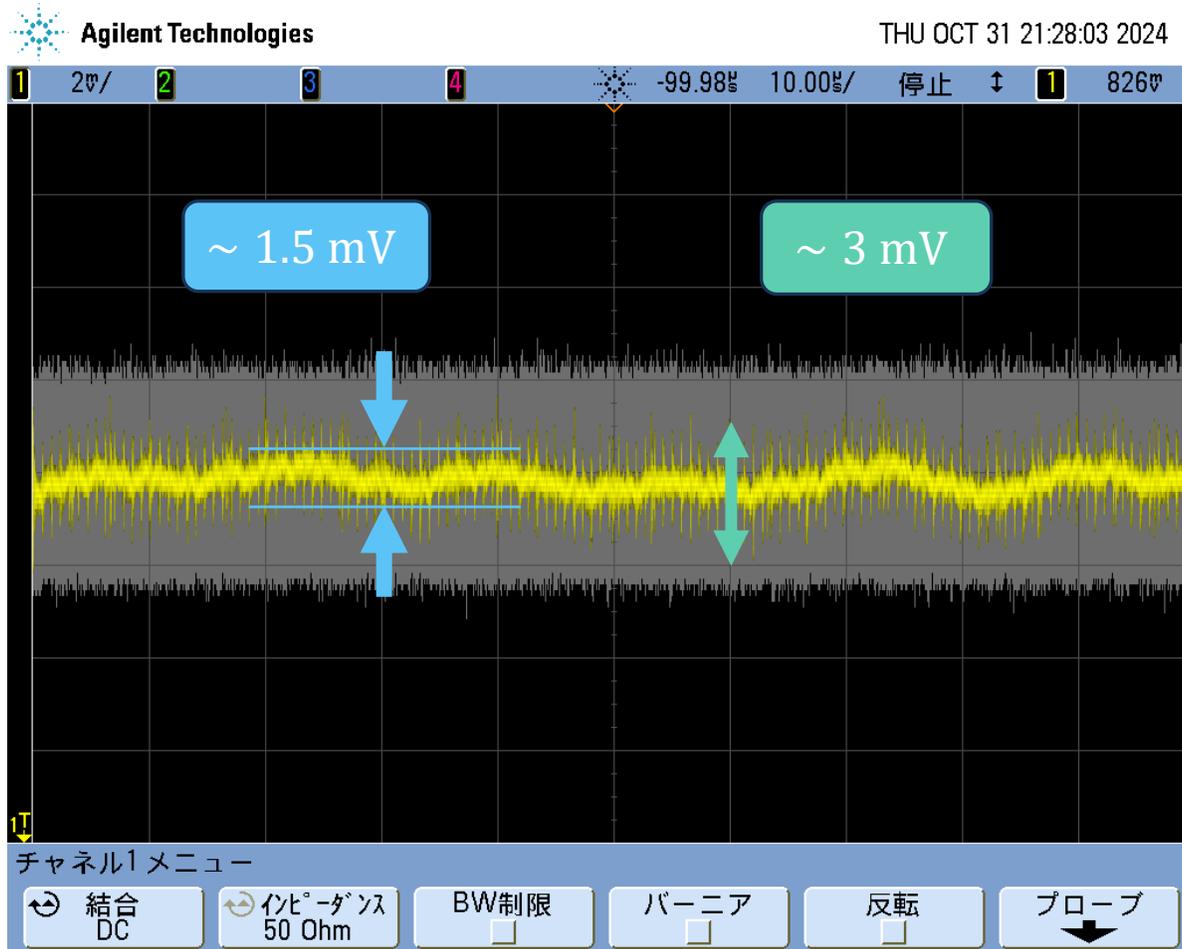
# オシロとシェルフのグラウンドを接続

- オシロとシェルフを同じグラウンドでつなげた
- 100 Hzのノイズが見えなくなるほど小さくなった



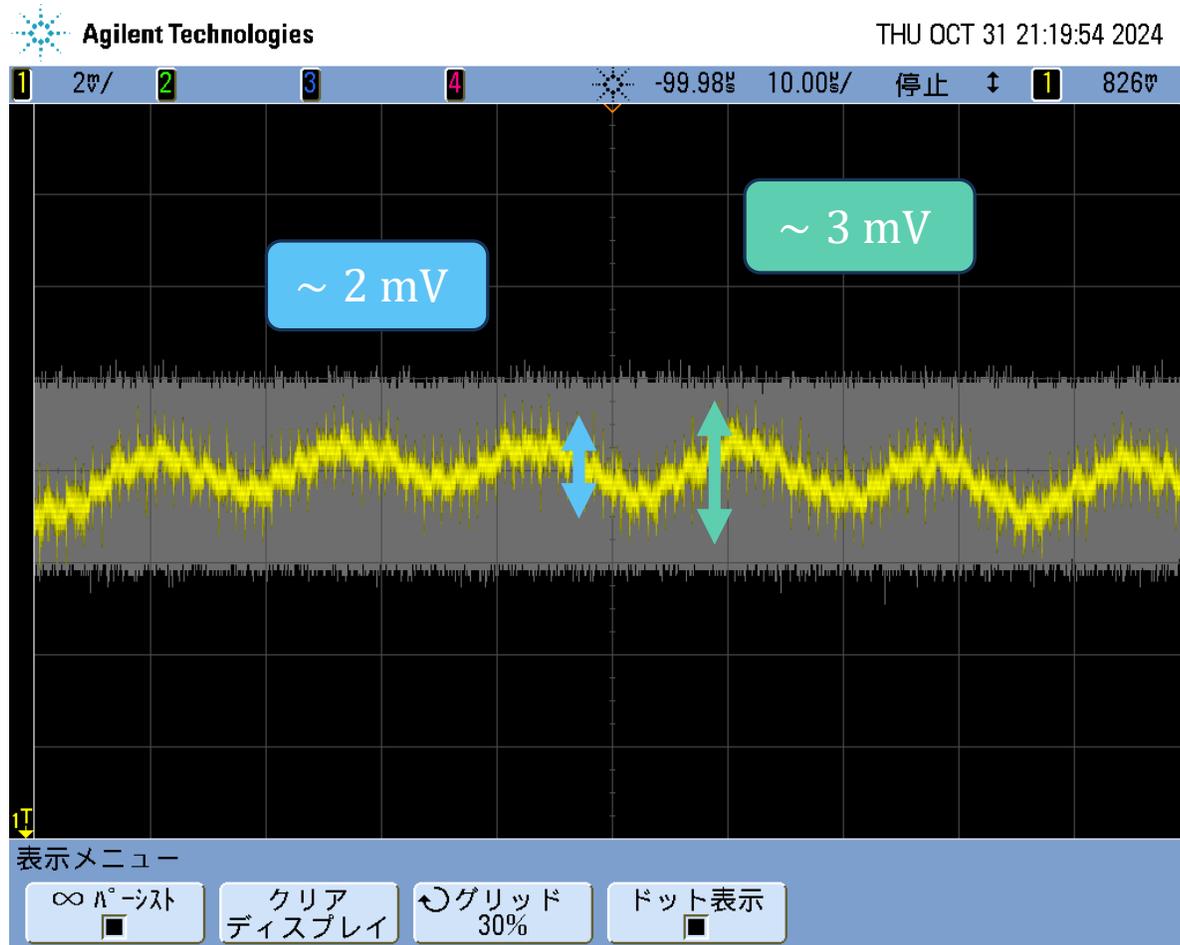
# 10. 0V85DのFPGAに近い所 : C255

- C255に同軸ケーブルをはんだ付け



# 11. 0V85DのFPGAに遠い所:C250

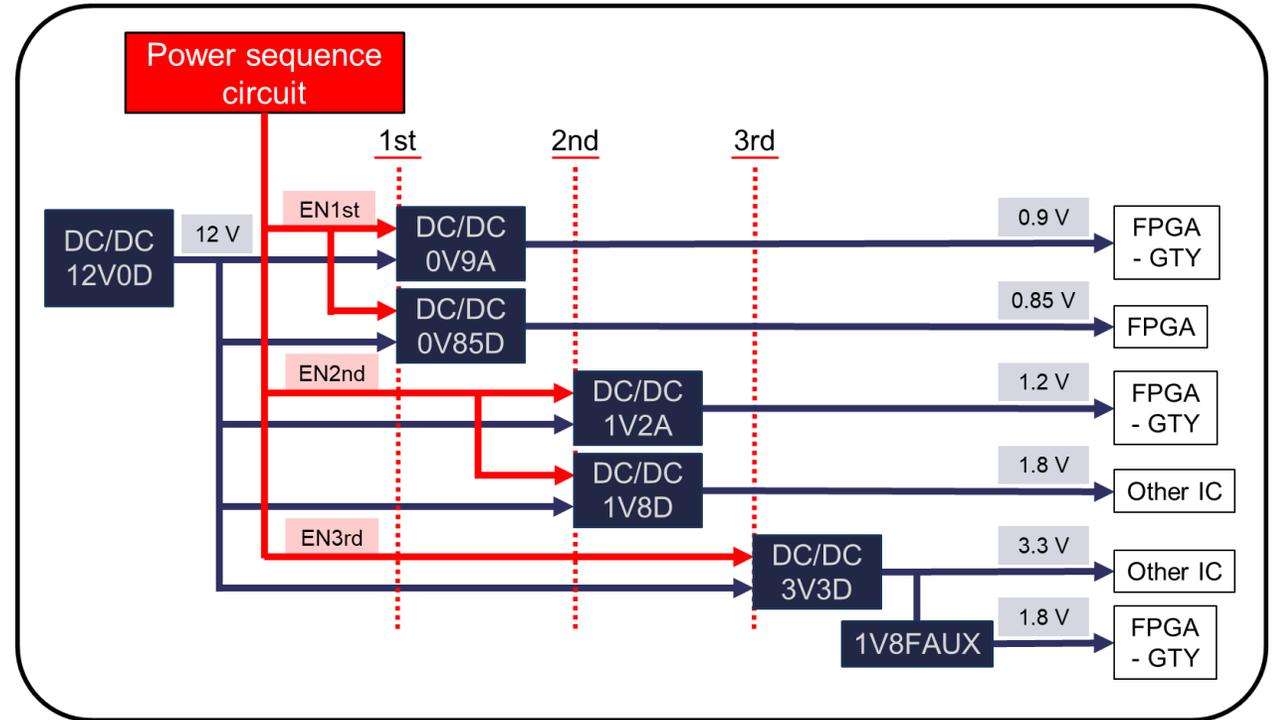
- C250にはんだ付け



## 2. 電源周りの設計

- FPGAの要求で、各DC/DCコンバータの電圧を上げる順番が決まっている
- 立ち下げるときは、立ち上げるときの逆順

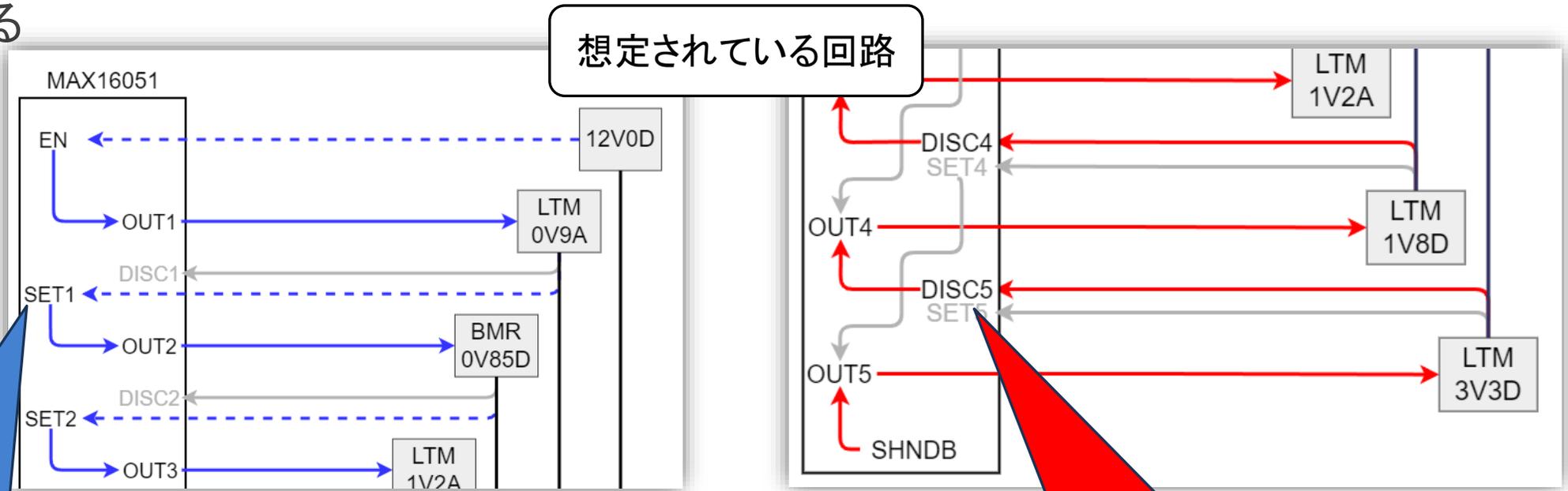
➤ パワーシーケンス回路(MAX16051)とIPMCによる制御で順番通りに立ち上がる



## 2. MAX16051の性質

- MAX16051の性質: 一つ前の電圧を受けて次のシーケンスへ移る

注: モニターしている電圧を正確に順番通りにあげる必要がある ⇒ SETが順番通り上がる必要がある



一つ前のSETが上がる  
⇒ 次のOUT (EN) を出力

DISCが落ちたことを確認  
⇒ 次のOUT (EN) を落とす

## 2. 現在の回路図: Power On

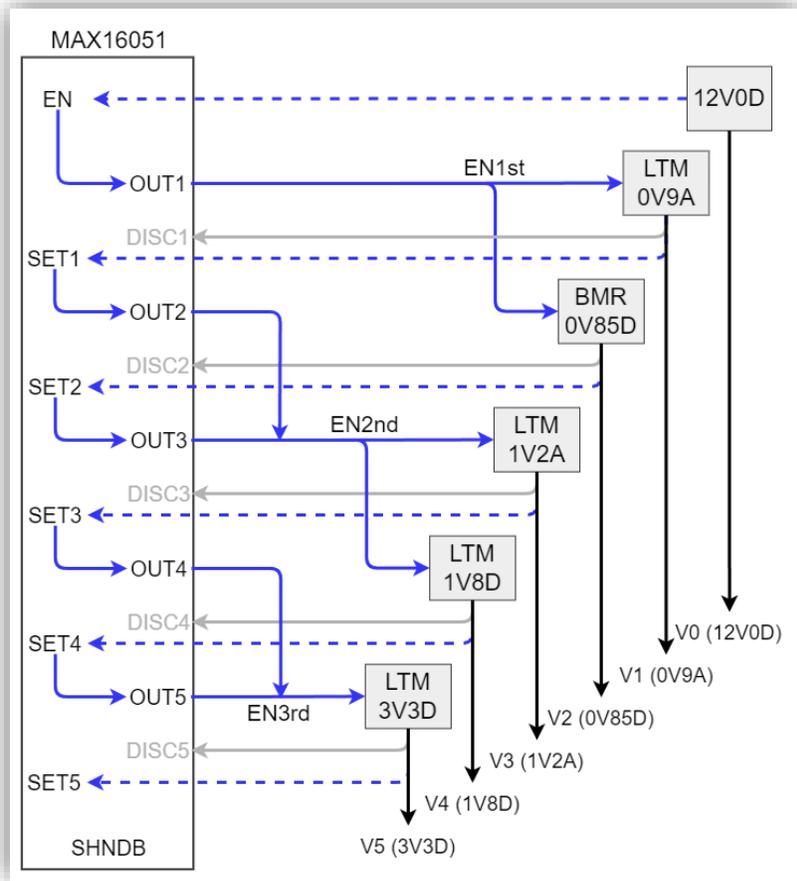
- MAX16051の要求: 順番通りにSETを上げるべ

➤ MAX16051 + IPMCで調整

- IPMCでは各DC/DCコンバータに対してENが入ってから起動するまでの遅延時間を設定

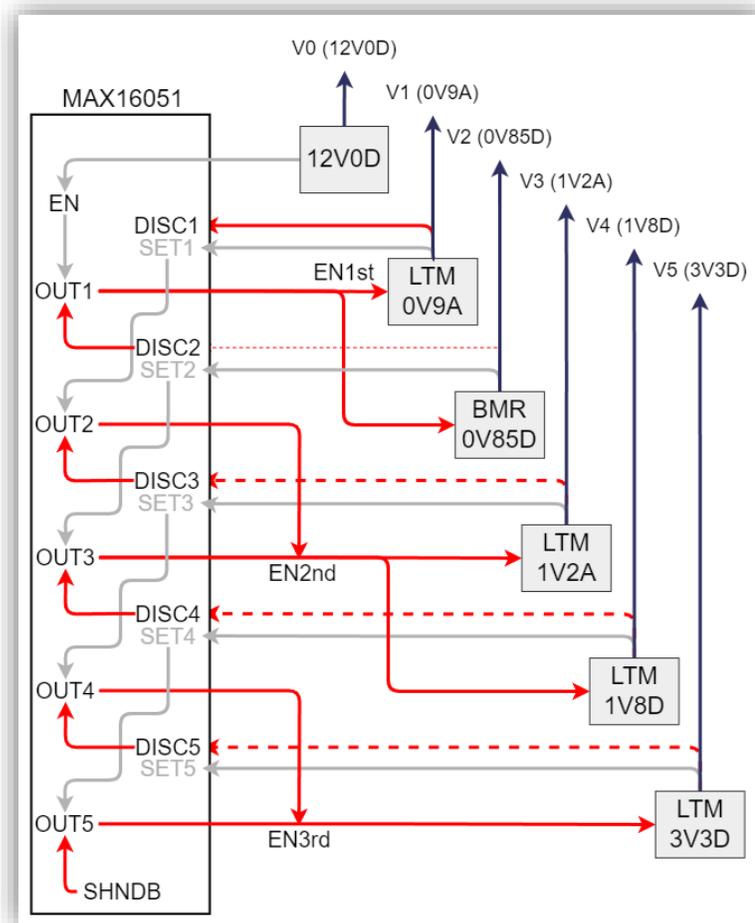
1. 電源が入る(=12V0Dが上がる)
2. ENがスレッシュホールドを超える
3. OUT1 = EN1stが上がる
4. 0V9A・0V85Dにほぼ同時にEN信号が入る
5. IPMCで設定された遅延で0V9A→0V85Dの順で立ち上がる(=SET1→SET2の順で上がる)
6. OUT2→OUT3が出力 ⇒ EN2ndが上がる…

き



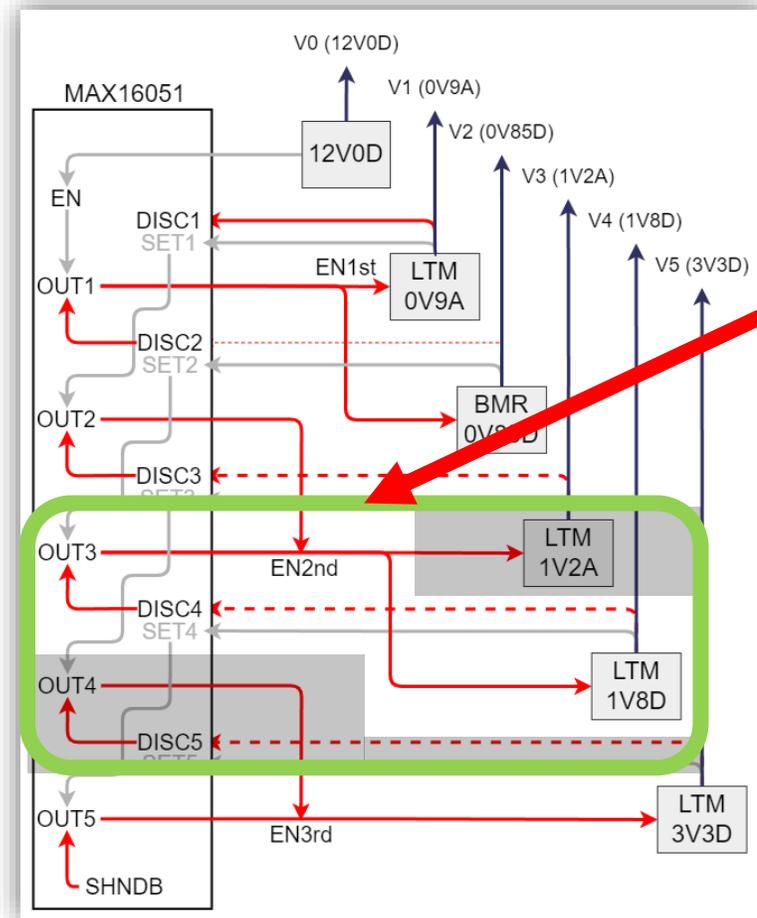
# 2. 現在の回路図: Power Off

- 現在の回路図

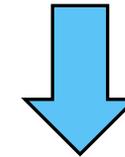


## 2. 現在の回路図: Power Off

- MAX16051で順番通りは下げられない ⇒ IPMCによる制御



1V8Dの出力を落とすために  
↓ EN2ndを落とす必要がある  
↓ DISC4が1V8Dが落ちたことを確認

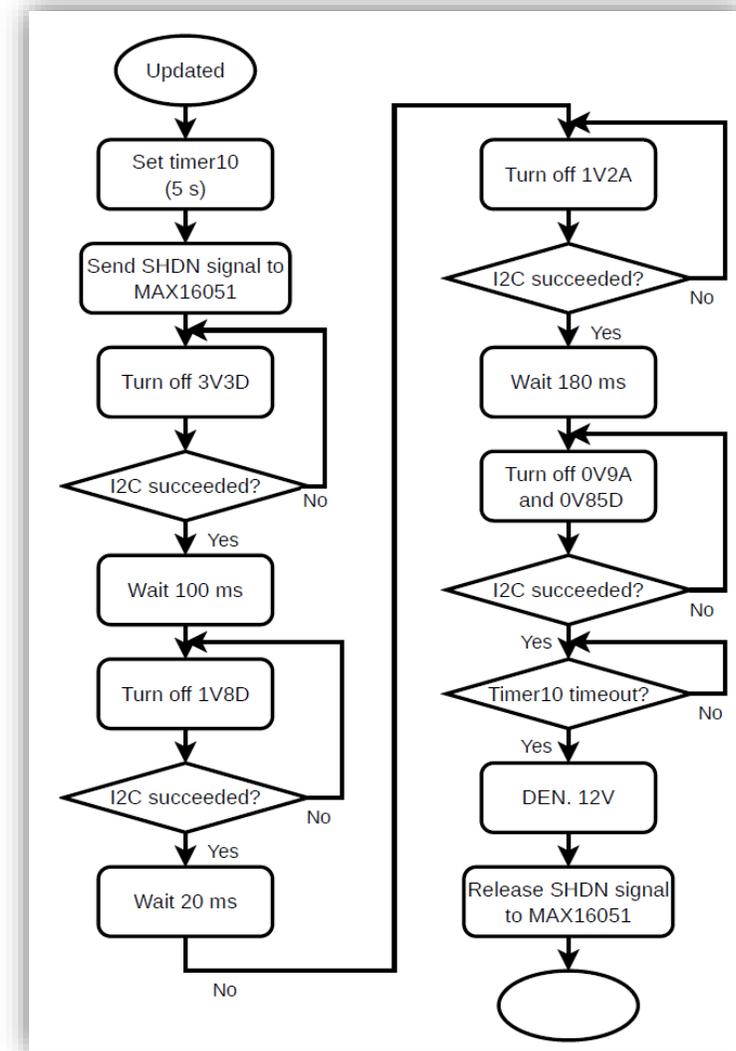


1V8Dが落ちたことを確認 ⇒ 1V8Dが落ちるとい  
う良く分からない回路になっている

## 2. 現在の回路図: Power Off

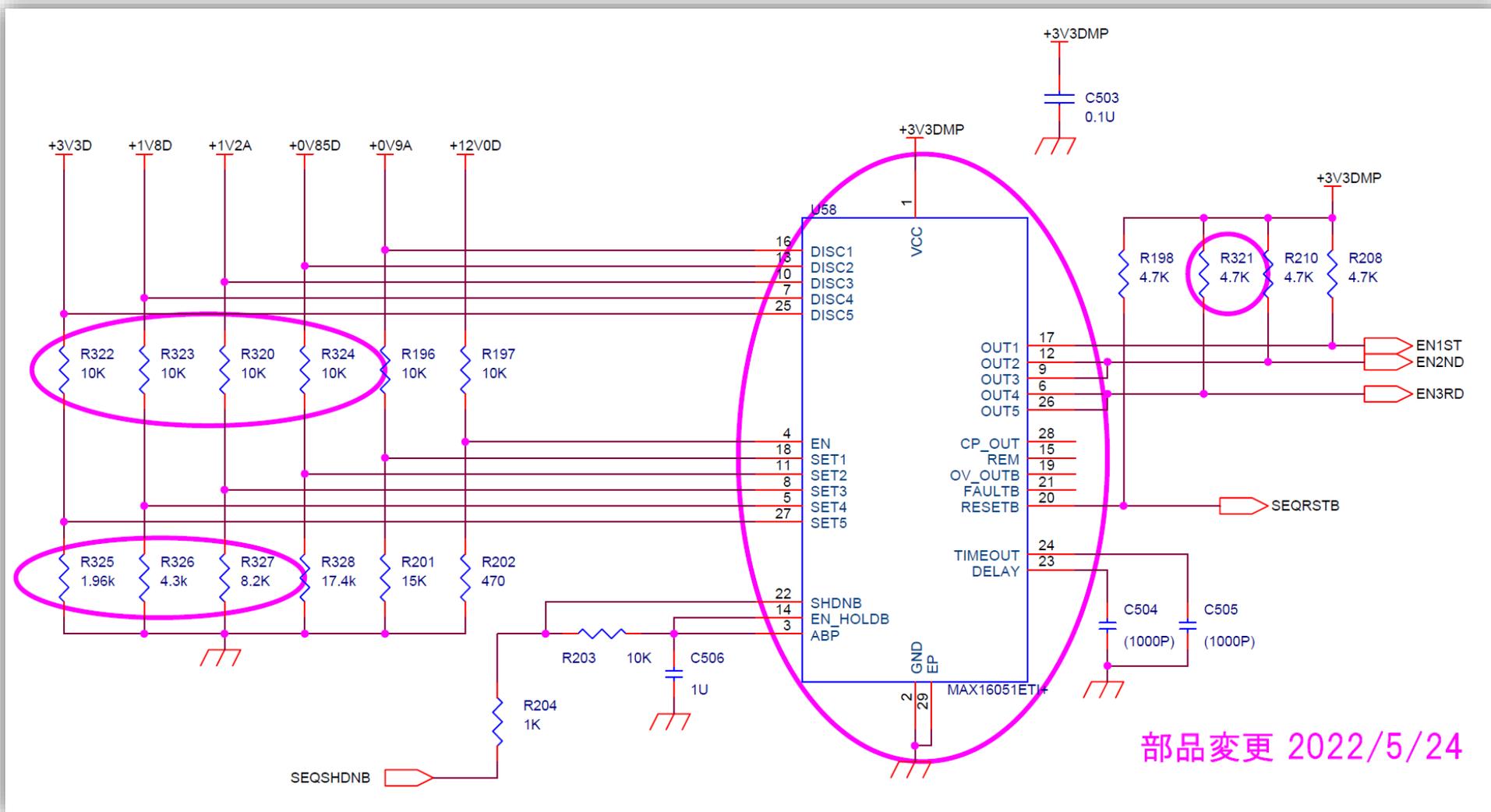
### ➤ IPMCで制御

1. シャットダウン信号が入る
2. IPMCがフローチャートの通り順番にTurn off 信号を送る



# 2. 電源周りの回路設計の変更

- 現在の回路図



# 1. Basic check

- Check the mounting status of parts
  - No solder defects?
    - ⇒ OK
  - Is the installation orientation correct?
    - ⇒ OK (Wrong, but addressed)
  - Is the model number correct?
    - ⇒ One part was different
    - Already change and check done
  - Is there any interference?
    - ⇒ Difficult to insert/remove micro SD

- Resistance check of each power path(multimeter)

Check for short circuits or breaks

- There were some differences from the 1<sup>st</sup> prototype, but no problem

確認項目	確認内容 () 内は ver1 の値	確認値 (測定値) SN2078556F	確認値 (測定値) SN20785579
CN49 (ATCA/バス電源)	25-33, 25-34, 26-33, 26-34がショートしていないこと	OK ショートなし	OK ショートなし
CN49 (ATCA/バス電源)	25-26が1 Ohm程度になっていること	OK	OK
-48V	TPIN3-C319(-) 間 (57.6nF)	NA, 56.7nF	NA, 56.8uF
12V0D	TPIN4-C333(+) 間 (~ 1 kOhm, 3.84 mF)	2.67kOhm, 5.43mF	2.68kOhm, 5.38mF
3V3DMP	TPIN4-C317(+) 間 (63.9 Ohm)	66.70hm, NA	67.00hm, NA
0V85D	TPIN4-C489(+) 間 (0.61 Ohm)	0.300hm, NA	0.240hm, NA
0V9A	TPIN2-FL8(2) 間 (5.22 Ohm)	8.20hm, NA	6.50hm, NA
1V2A	TPIN1-FL7(2) 間 (17.0 Ohm)	30.00hm, NA	23.50hm, NA
1V8D	TPIN4-C428(+) 間(259 Ohm, 2.42m)	1.2kOhm, 3.1mF	1.21kOhm, 3.1mF
1V8FAUX(1V8A)	TPIN1-C500 間 (2.25 kOhm, 140u)	5.28kOhm, 189uF	5.1kOhm, 188uF
3V3D	TPIN4-C410 間 (422 Ohm, 3.20m)	2.38kOhm, 3.94mF	2.38kOhm, 3.4mF
	R163 (3V3D cfg, 11.3kOhm)	目視チェックでOK(5.29kOhm)	
	R170 (1V8D cfg, 3.16kOhm)	目視チェックでOK(2.35kOhm)	
	R177 (1V2 cfg, 1.62kOhm)	目視チェックでOK(1.38kOhm)	
	R184 (0V9 cfg, 825Ohm)	目視チェックでOK(0.763kOhm)	
	R317 (86.6kOhm)	目視チェックでOK	
	R318 (68.1kOhm)	目視チェックでOK	
	R319 (301 kOhm)	目視チェックでOK	