

2022年度 ICEPPシンポジウム

高輝度LHC-ATLAS実験に向けたTGCエレクトロニクスにおける、1/12セクター間のクロックの位相合わせの手法と検証。

東京大学奥村研 修士1年 長坂錬

TGC検出器のエレクトロニクス

- ❖ ヒット信号はAmplifier-Shaper-Discriminator (ASD) → Primary Processor board (PS board) → Sector Logic (SL)の順に処理される。
- ❖ ASDはTGC検出器に直接、PS boardはPS-rackに、その他のエレクトロニクス (JATHub, TAM)はMini-Rackに設置される。SLは実験室ではなく回路室に設置される。

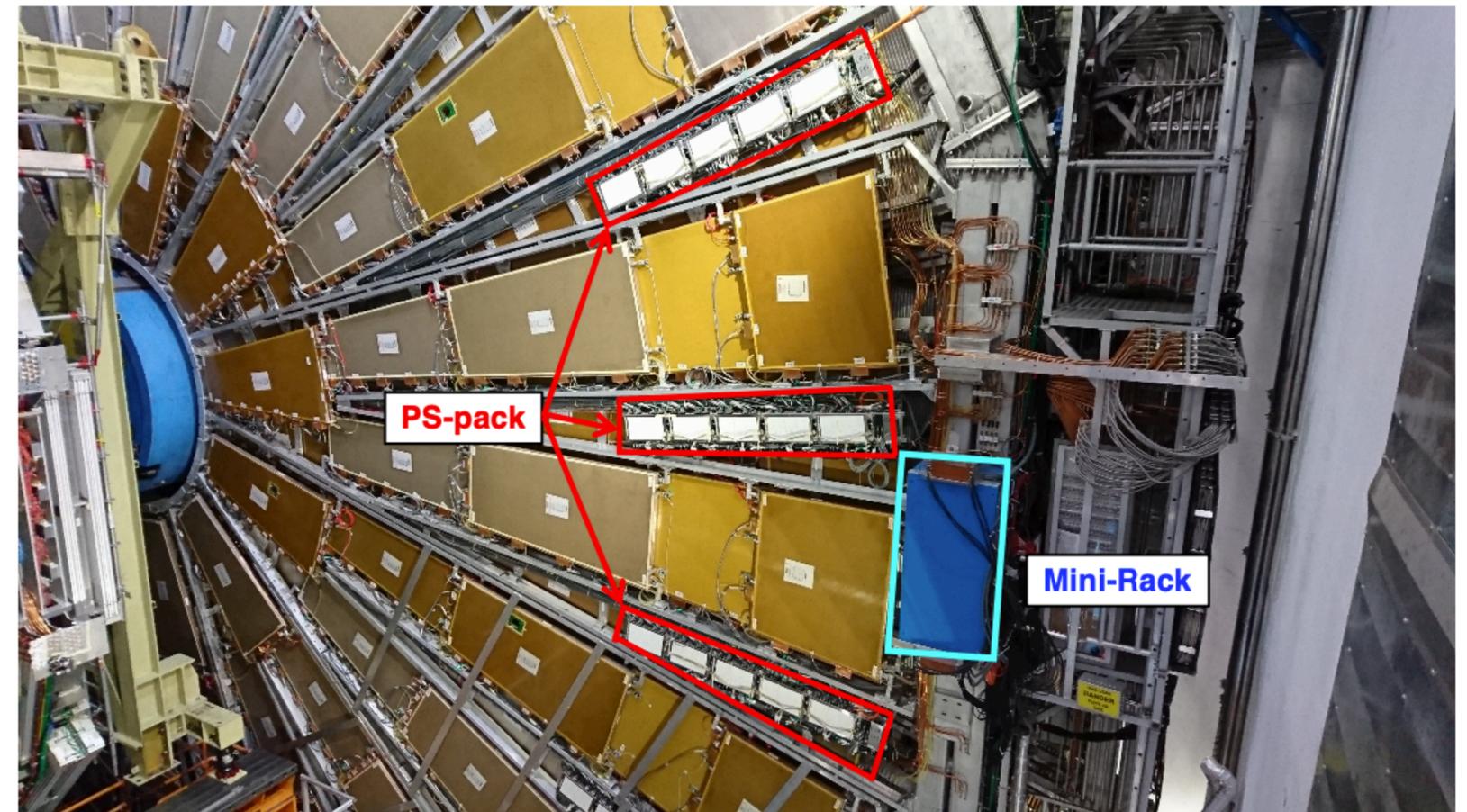


図1: 実験室内におけるエレクトロニクスの設置場所

TGC検出器のエレクトロニクス (続)

- ❖ PS board がフロントエンド回路であり、PS board でBunch-Crossing Identification (BCID) が行われる。
- ❖ TGCの両サイド(A side, C side)合わせて1434台のPS boardが正しくBCIDを行うためには、各PS boardにおけるクロックの位相が $O(100 \text{ ps})$ の精度で揃っていないと行えない。



図2 :TGC検出器を正面から見た写真。(C side)

1/12セクターと呼ばれる部分単位にして番号が振られている。

TGCにおけるクロック分配

- ❖ LHCの陽子バンチ衝突に同期したクロック (LHCクロック ~ 40 MHz)とBCIDを0にする信号(Bunch Counter Reset : BCR)をSLが配布。
- ❖ 1/12セクター内での位相合わせのシステムが必要。
- ❖ この目的のために新たなモジュール (JATHub)を導入。

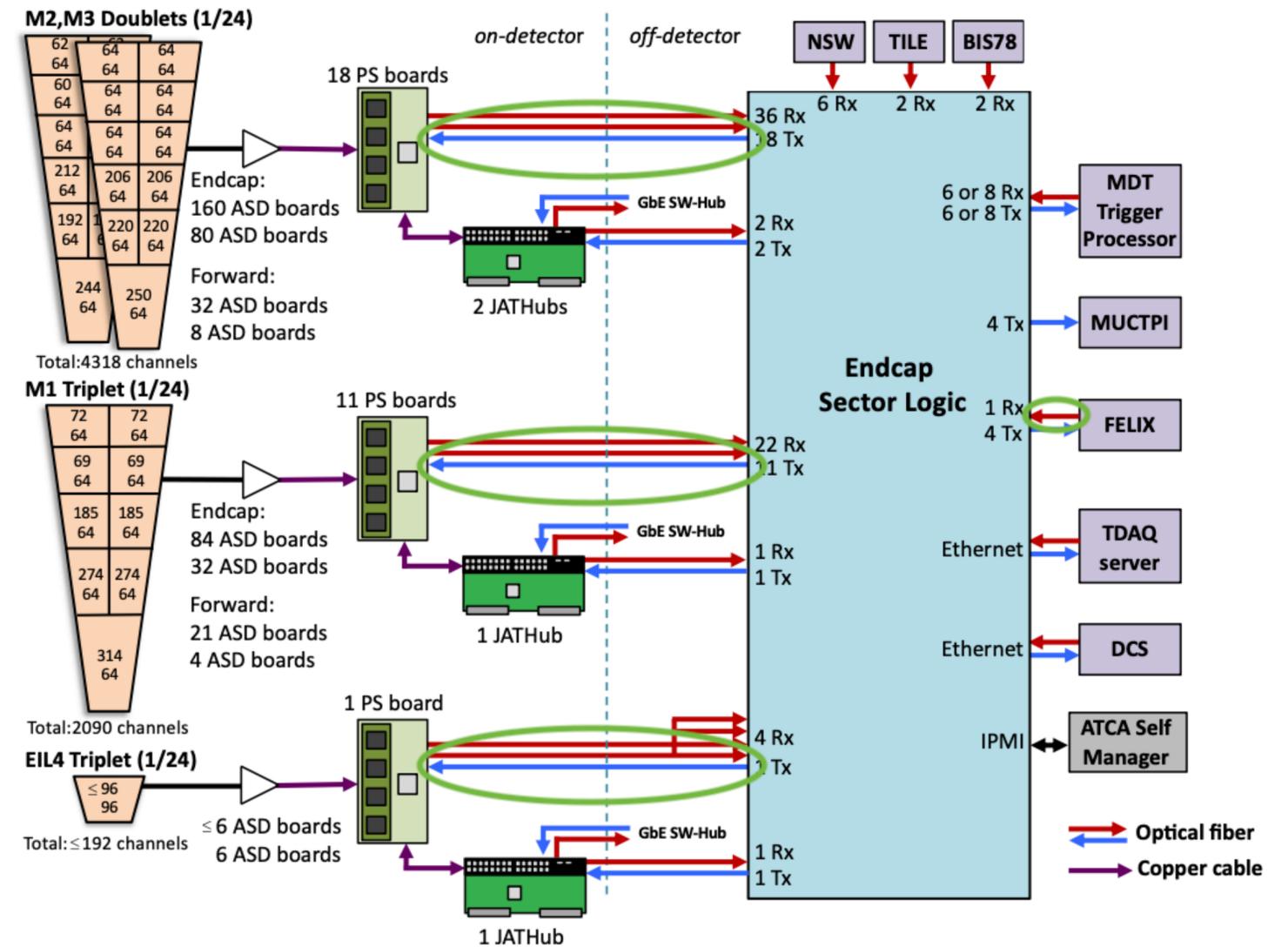


図3: 緑の楕円がEFLIXからのクロック及びBCR分配の経路を表す

TGCにおけるクロック分配(続)

- ❖ ATLAS検出器は22 m × 43 mにも及ぶ。
- ❖ 異なる1/12セクターに伸びる配線は最大で50 m異なる。
- ❖ 異なる1/12セクター間の位相合わせのシステムも必要。
- ❖ この目的のために新たなモジュール(TAM)を導入。

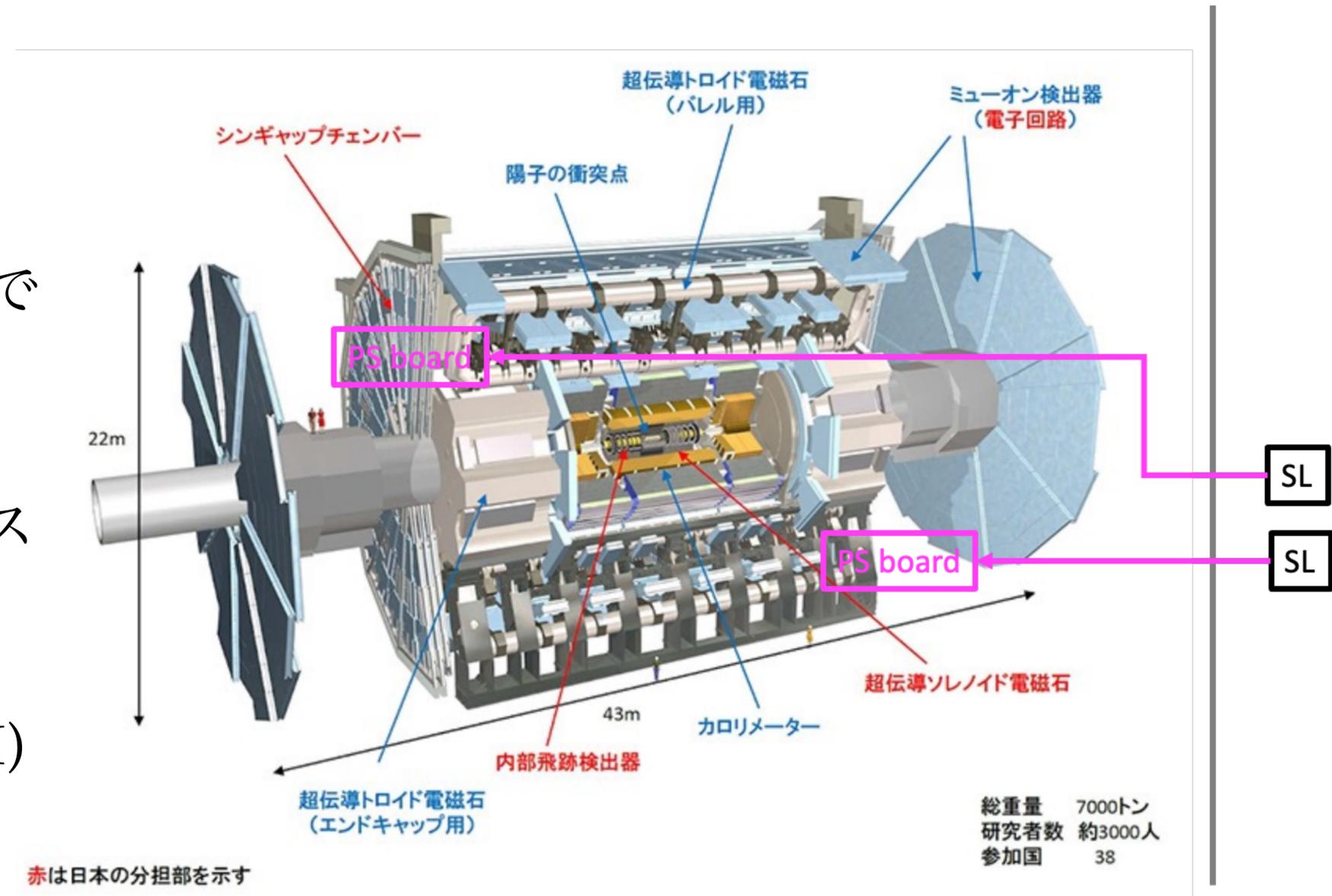


図4:異なる1/12セクター間のクロック分配

位相合わせの戦略

- ❖ Timing Alignment Master (TAM) : 各1/12セクターに基準クロックを配る。
- ❖ JATG Assistance Hub (JATHub) : 1/12セクター内で基準クロックに対するPS boardの位相を測る。
- ❖ 各1/12セクターに1台ずつTAM、6台ずつJATHubを設置する。
- ❖ JATHubにPS board を最大11台接続。
- ❖ 合計1434台のPS boardの位相を遠隔で完全に制御できる。

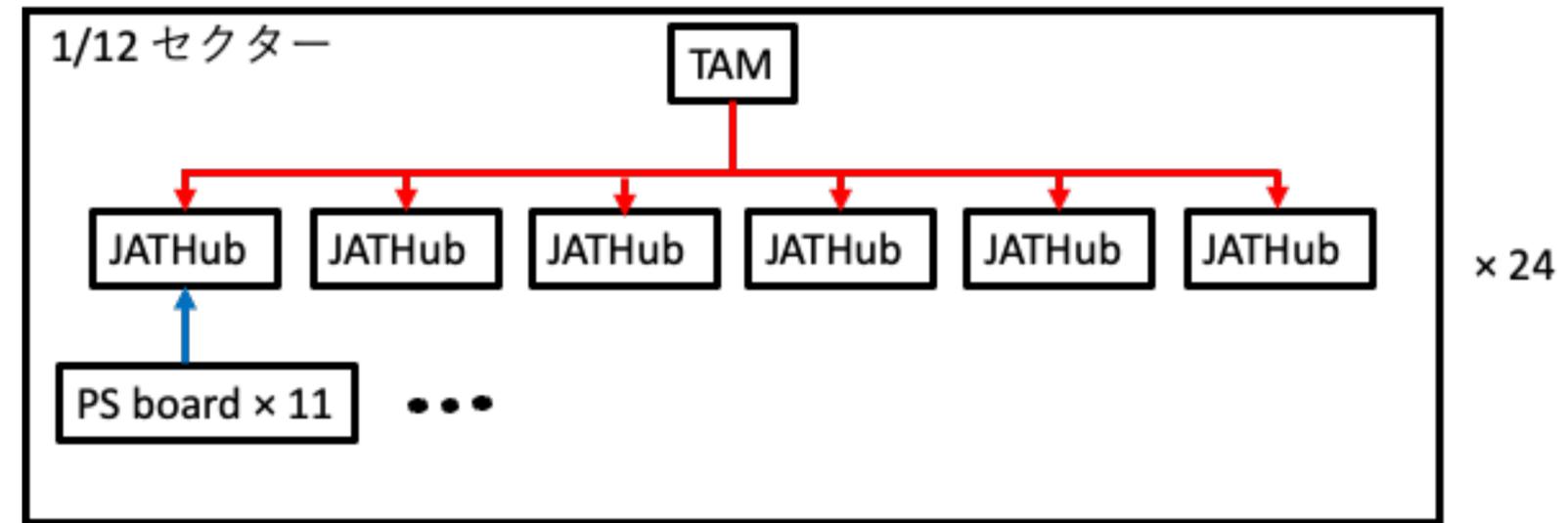


図5 :位相合わせの全体像

TAMの機能

- ❖ 異なる1/12セクター同士の位相合わせ。
- ❖ JATHubに基準クロックを配る。
- ❖ 上位システム(SL)から光ファイバーでクロック信号を受ける。
- ❖ この時光ファイバーの長さは等しくない。
- ❖ 隣同士のTAMを接続し一方に位相を合わせる。
- ❖ これを24台で繰り返す。

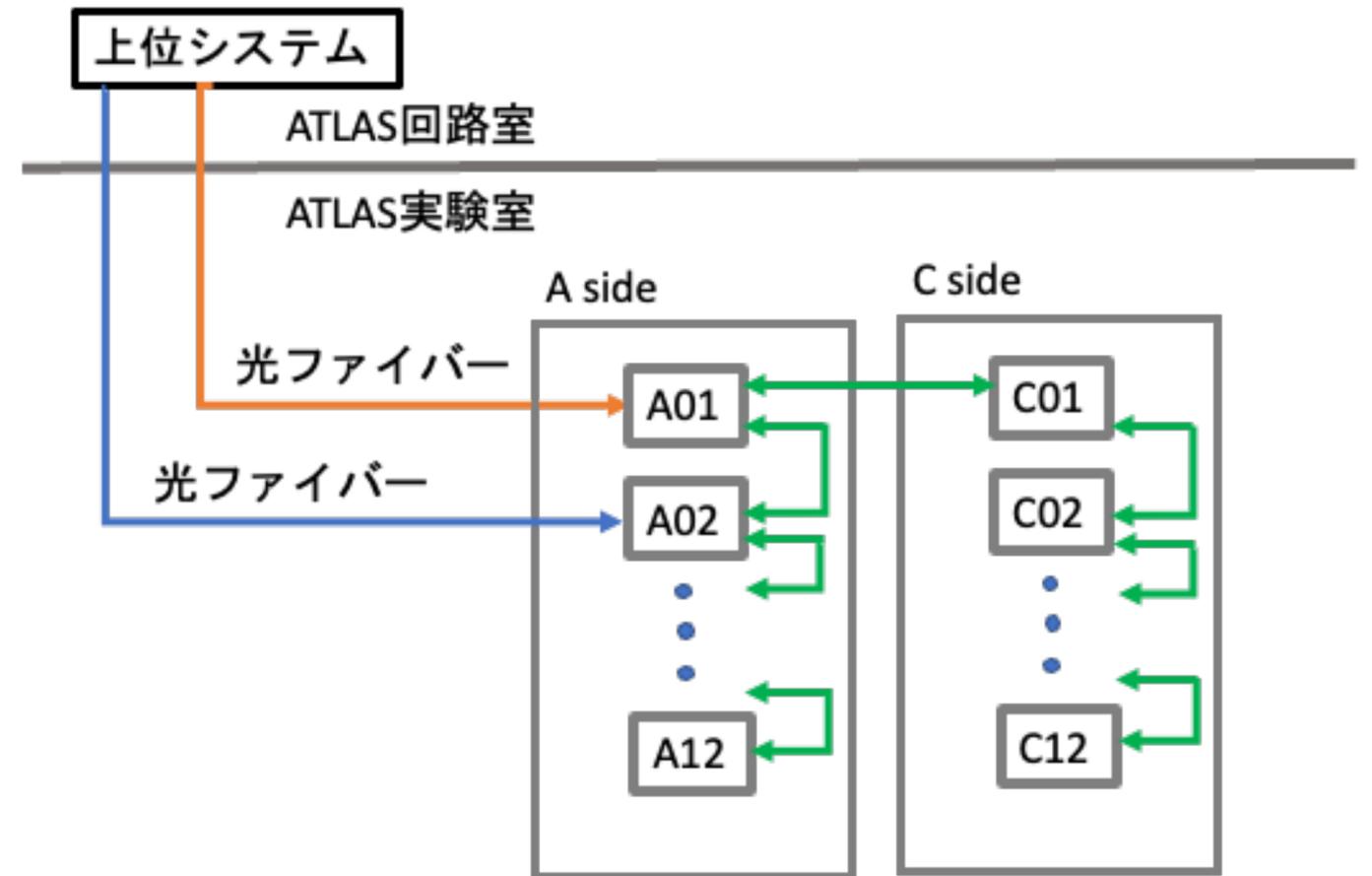


図6: 1/12セクター間での位相合わせの全体図

JATHubの機能

- ❖ 1/12セクター内でのPS board の位相合わせ。
- ❖ TAMから等長で基準クロックを受ける。
- ❖ 各々のJATHubが接続されるPS boardの位相をモニターし、基準クロックに合わせる。

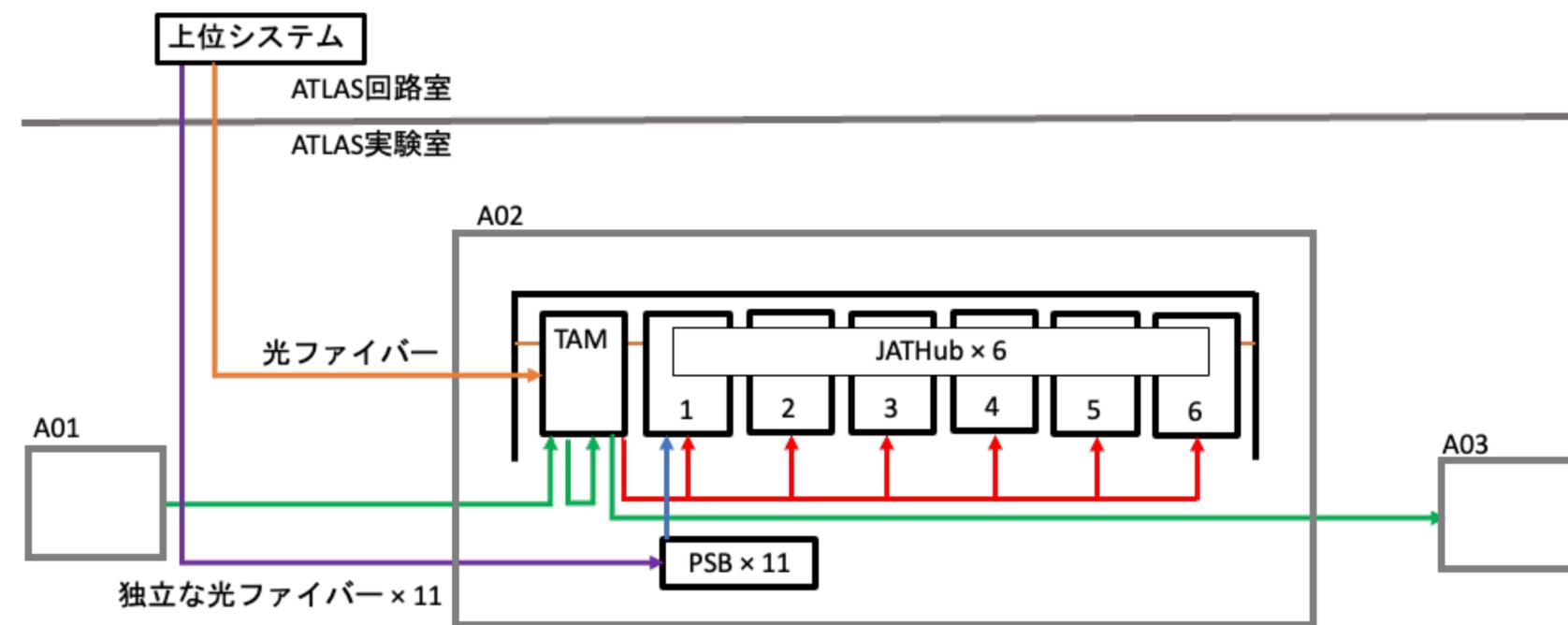


図7: 1/12セクター内での位相合わせの全体図(同色は等長)

TAMの機能実装(ハードウェア)

- ❖ SFP+: 上位システム(SL)から光ファイバーによる信号を受ける。
- ❖ LEMO OUT × 8: クロックをJATHub × 6台 + 隣のTAM + 自分自身に配る。
- ❖ LEMO IN × 2: 隣のTAM + 自分自身からクロックを受ける。

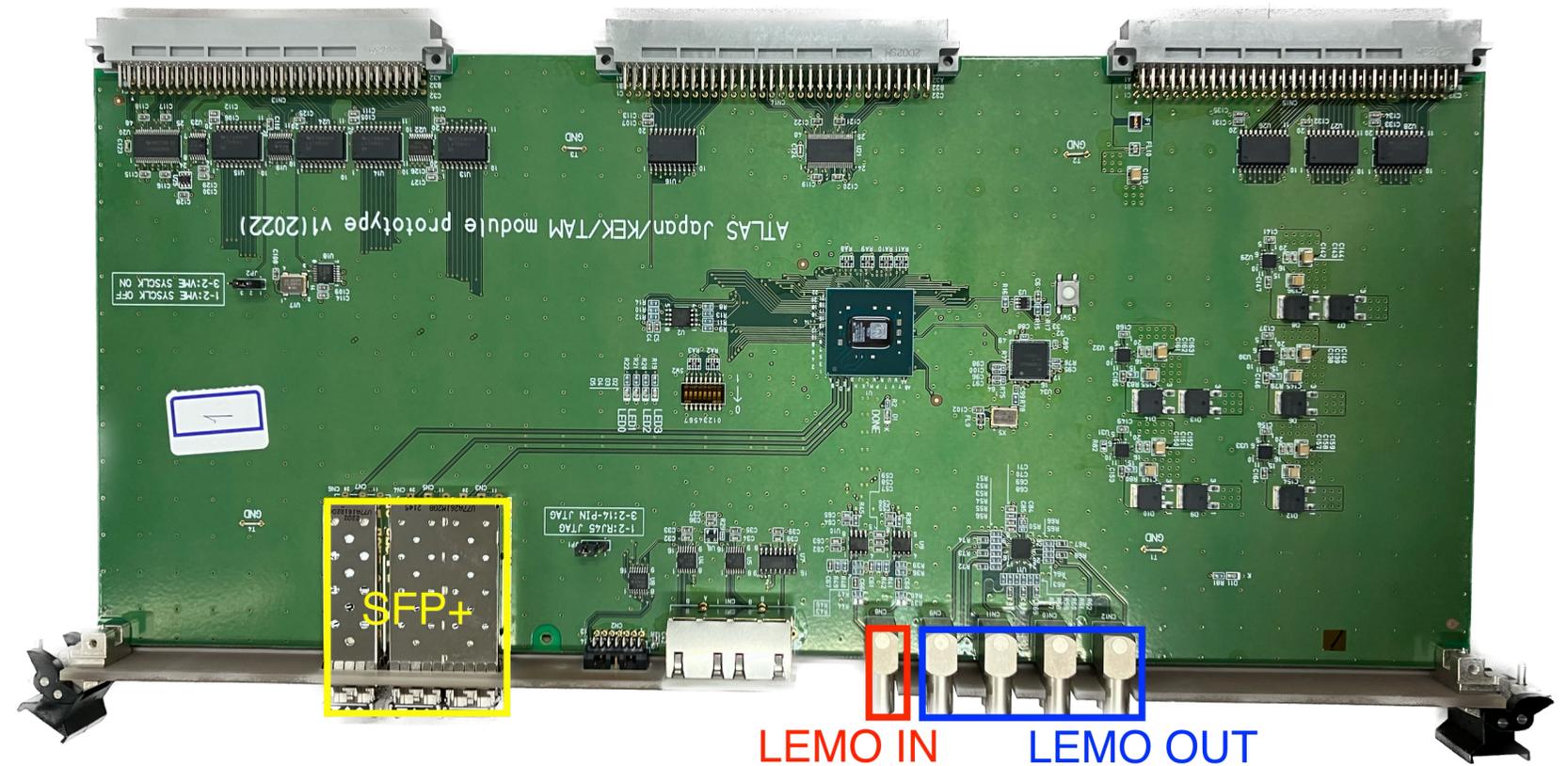


図8: TAM

TAMの機能実装(ハードウェア続)

- ❖ Fan-out: クロックを低スキューで8個にする。
- ❖ FPGA: Kintex7 FPGA XC7K70T-2FBG484。ここに位相合わせのためのロジック(ファームウェア)が入る。
- ❖ $O(100\text{ ps})$ の位相合わせのために、TAMのボード上の配線長も揃える必要がある。

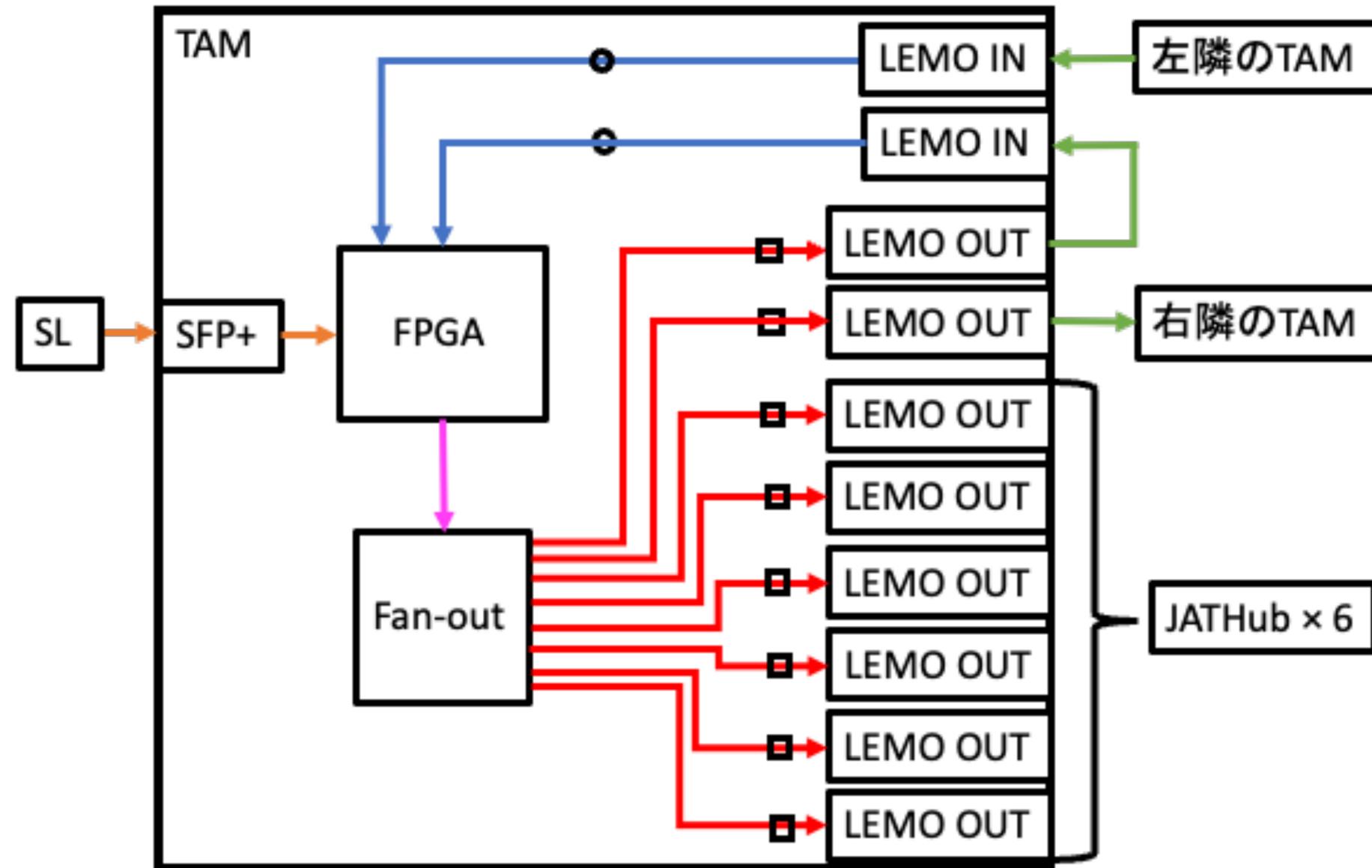


図9: TAMのハードウェアの概念図

TAMの機能実装 (ファームウェア)

- ❖ Coarse delay (25 ns 幅 : バンチ交差周期)、Fine delay (18 ps 幅) の順。
- ❖ SLから各1/12セクターに伸びる配線の長さは最大で50 m程度異なる。→ Coarse delayが必要
- ❖ SLから送られるBCR信号に同期した遅いクロック ~ 200 kHz クロック (1周期 5 μ s) を作り比較。
- ❖ Coarse delay, Fine delayを併せて全自動で揃えて、全セクターで位相が完全に一致した基準クロックをJATHubに供給するシステム。

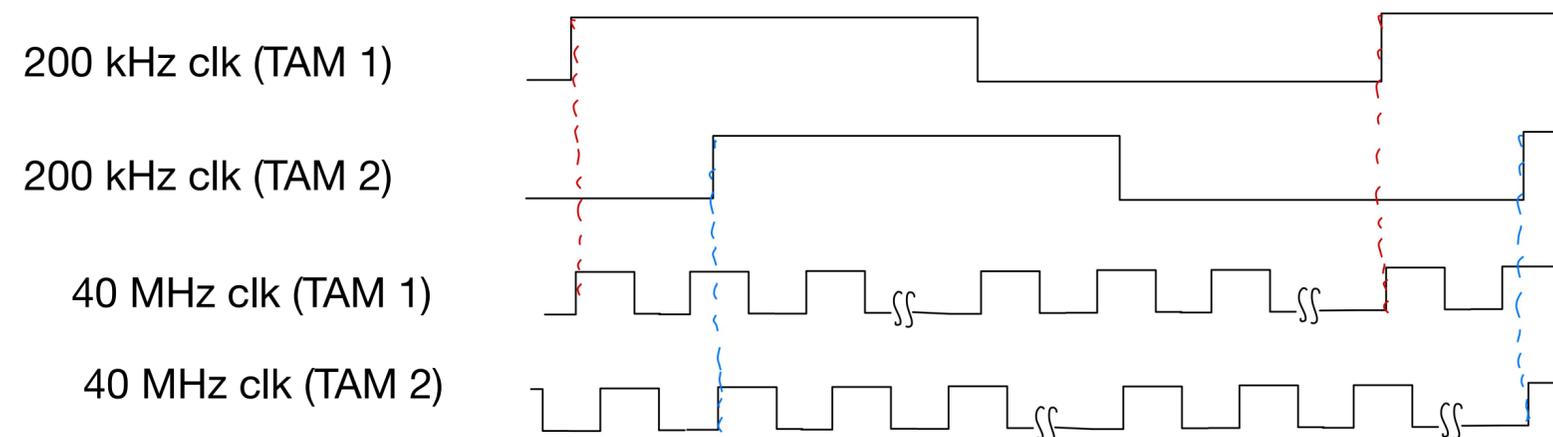


図10 : 位相合わせ前の2台のTAMのクロックの位相関係

Coarse delay (25 ns 幅) の実装

- ❖ Xilinx社の提供するBlock RAM (BRAM) を用いる。
- ❖ BRAMとはシフトレジスタのようなもの。
- ❖ Input に200 kHzクロック、clockに40 MHzクロックを使う。
- ❖ シフトレジスタの段数を増やすことで25 ns 幅のdelayができる。

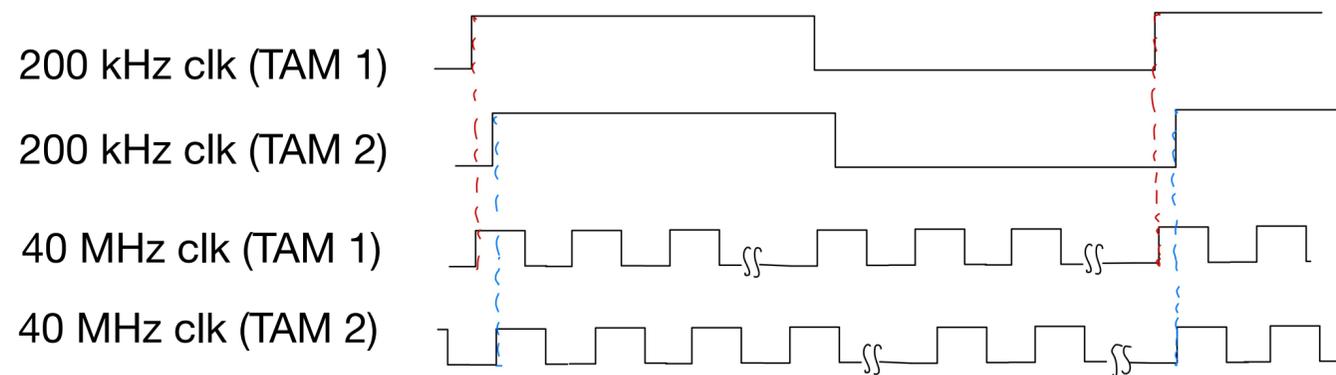


図11 : Coarse delay後の位相関係

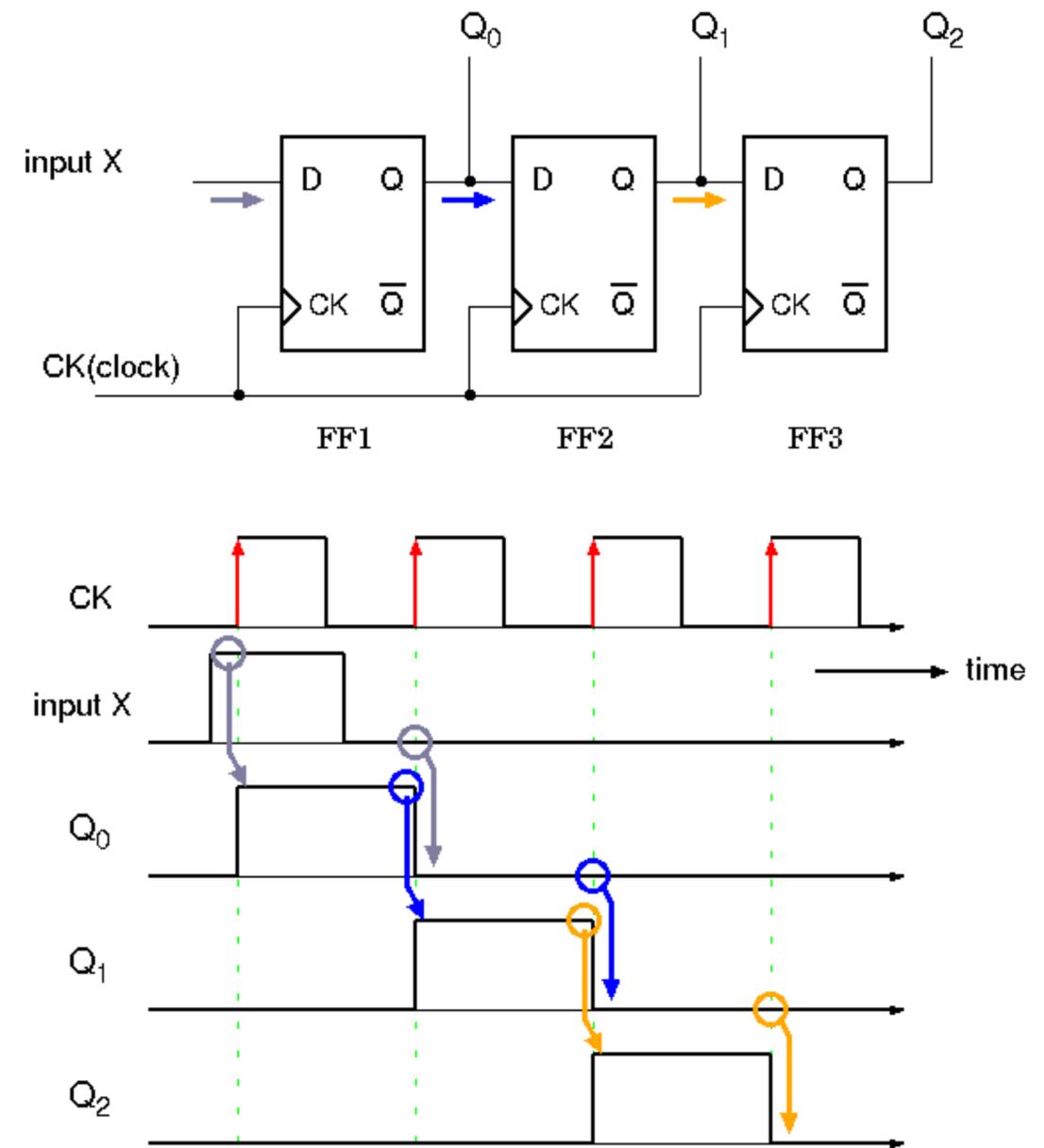


図12 : 3段のシフトレジスタ

Fine delay (18 ps 幅) の実装

- ❖ Xilinx社の提供するclocking wizardを使う。
- ❖ 40 MHzクロックに対して、18 ps幅でのdelayが可能。
- ❖ 直接、200 kHzクロックに対して18 ps幅のdelayはできない。
- ❖ 200 kHzクロックをdelayさせた40 MHzクロックでラッチすることで実装。

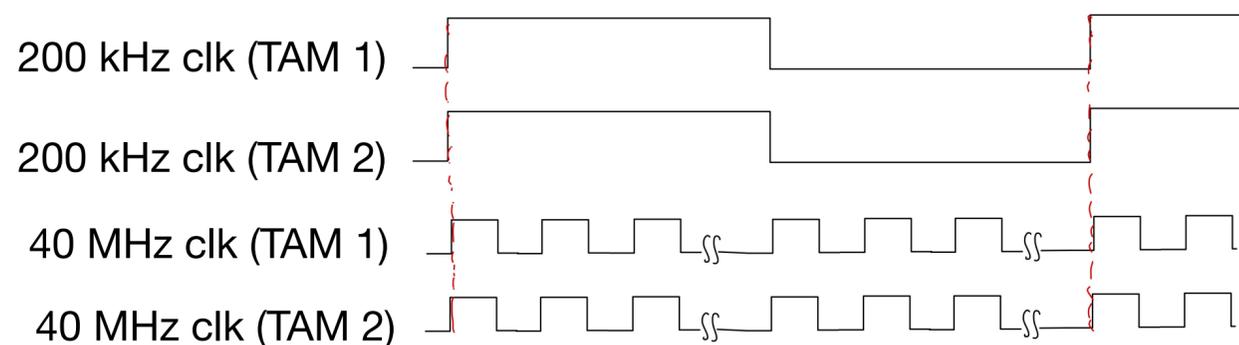


図13 : Fine delay後の位相関係

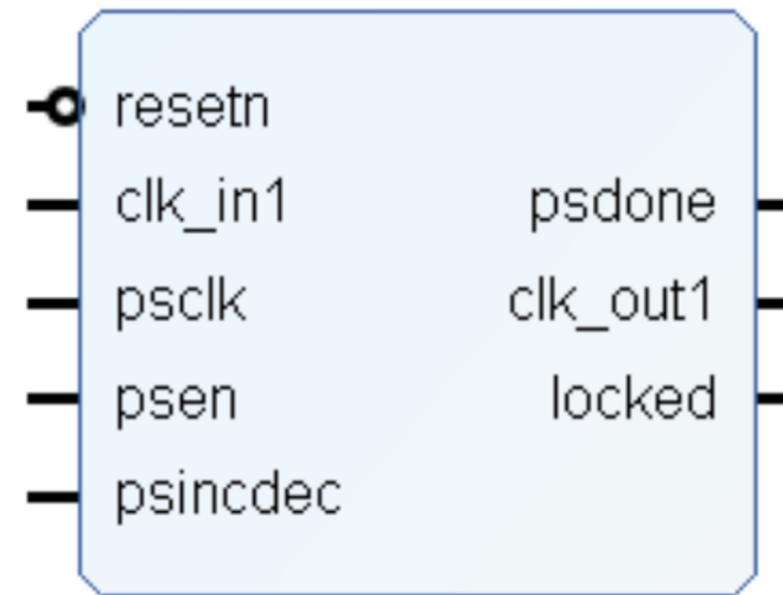


図14 : clocking wizard. psenにパルスを打ち込むと18 ps delayする

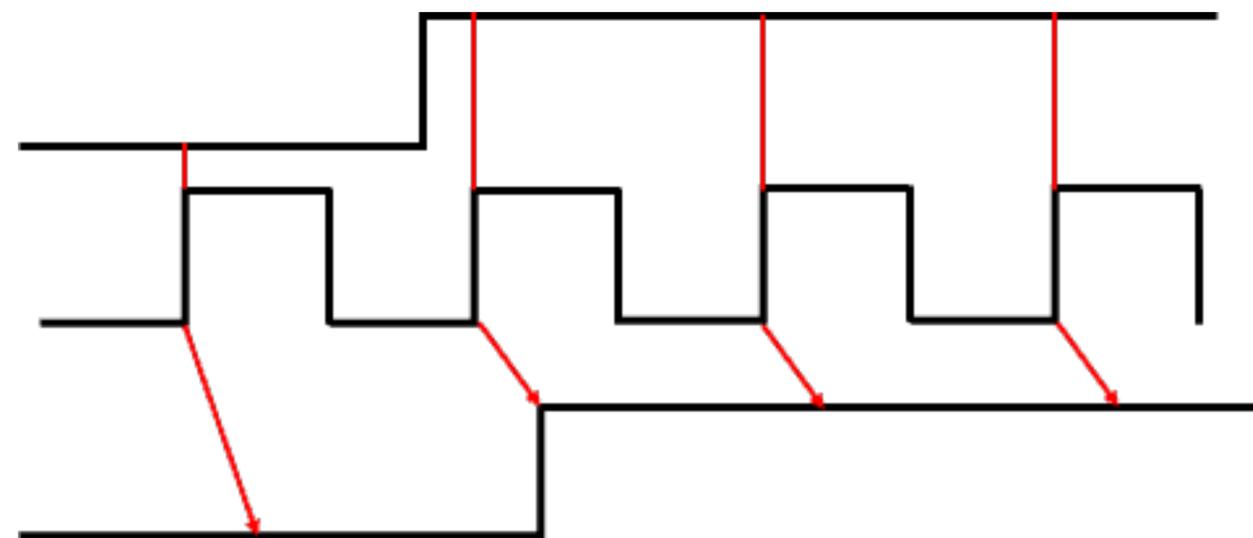


図15 : ラッチのタイミングチャート

工夫その1

- ❖ LEMOケーブルで入ってきた200 kHzクロックをできるだけLEMO INの近くのレジスタでラッチする。(ILOGIC)
- ❖ 参照する2つのクロックの配線長をできるだけ揃える。
- ❖ ファームウェアをFPGAに適応するたびにレジスタの場所が変わらないようにする。

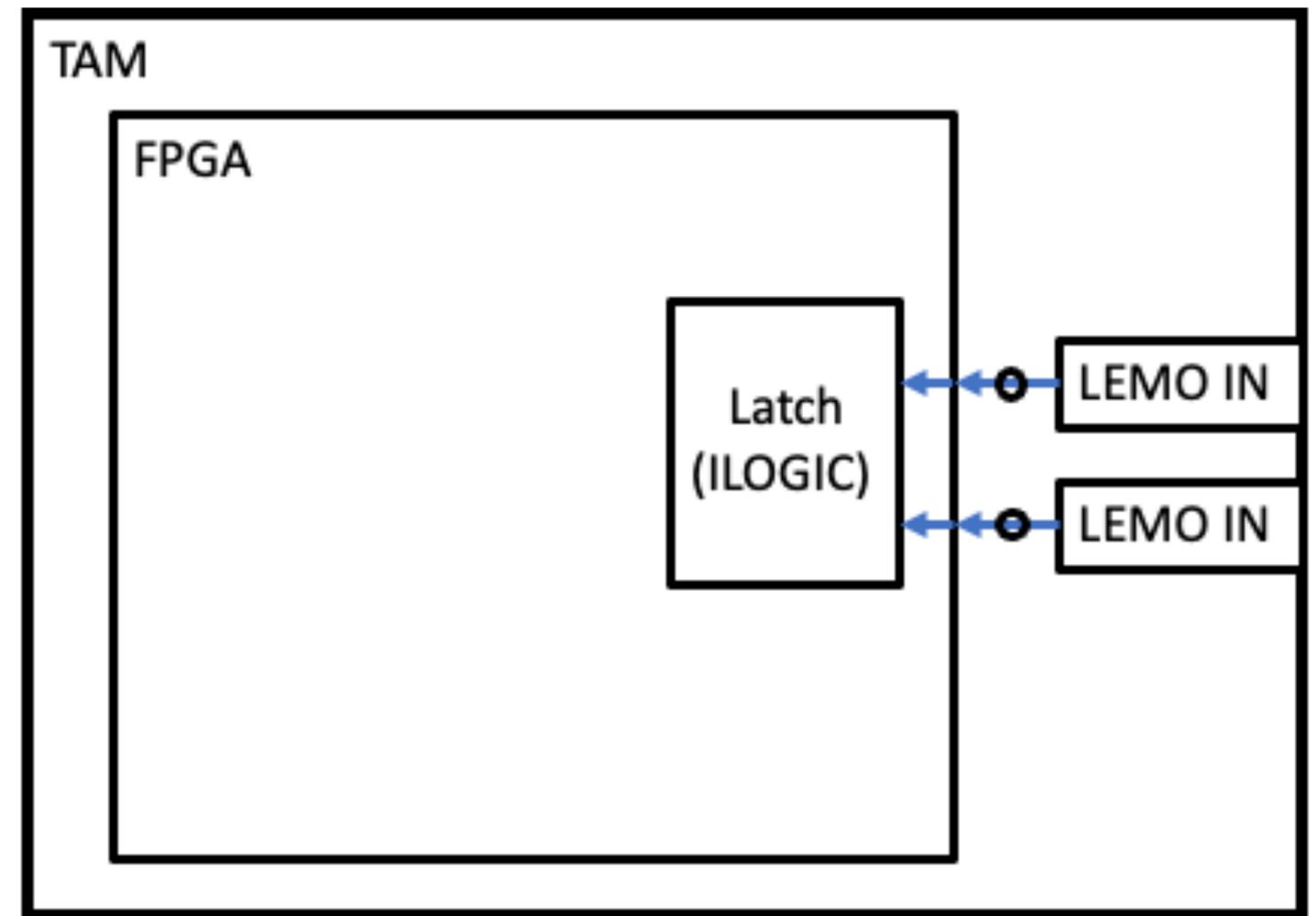


図16 :ILOGICの概念図

工夫その2

- ❖ Fine delayをさせている最中に、200 kHzクロックの立ち上がり とdelayさせた40 MHzクロックの立ち上がりが一致するとクロックが25 nsズレ得る。
- ❖ 出力するクロックが不安定になる。

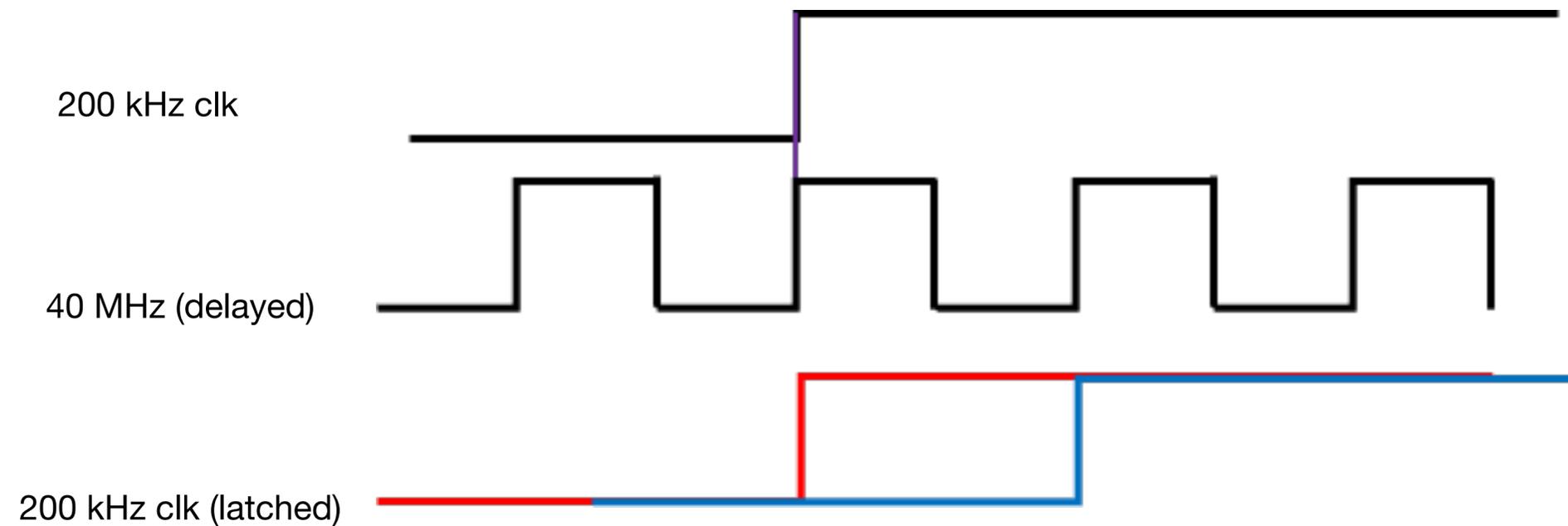


図17: ラッチ後のクロックの様子

工夫その2 (続)

- ❖ 200 kHzクロックを、delayさせる前の40 MHzクロックとdelayさせた後の40 MHzクロックでラッチする。
- ❖ Latch1とLatch2に使うレジスタをできるだけ近づけて配置&ラッチするクロックを等長配線 (精度 O(1ps)) で配る。

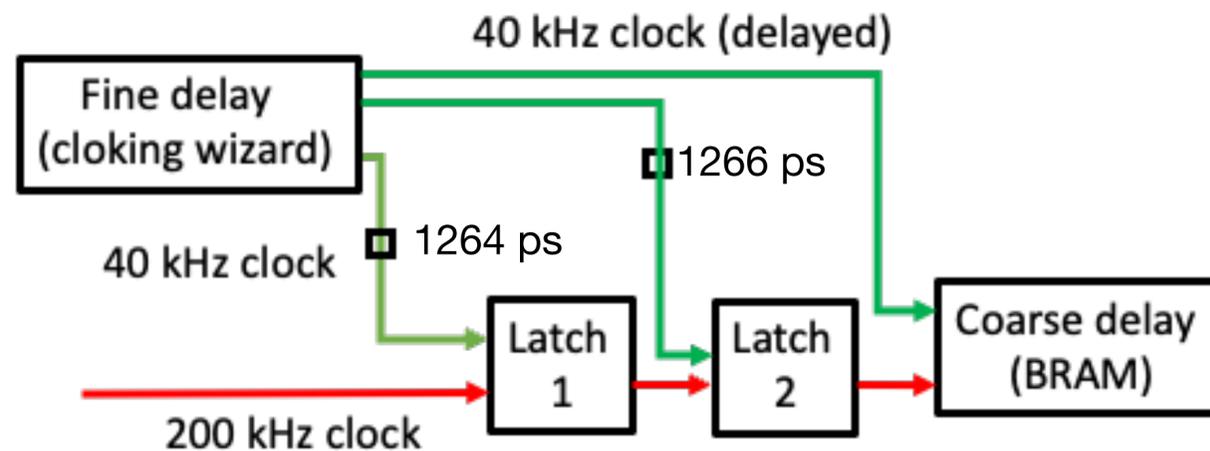


図18: 2段階のラッチのダイアグラム

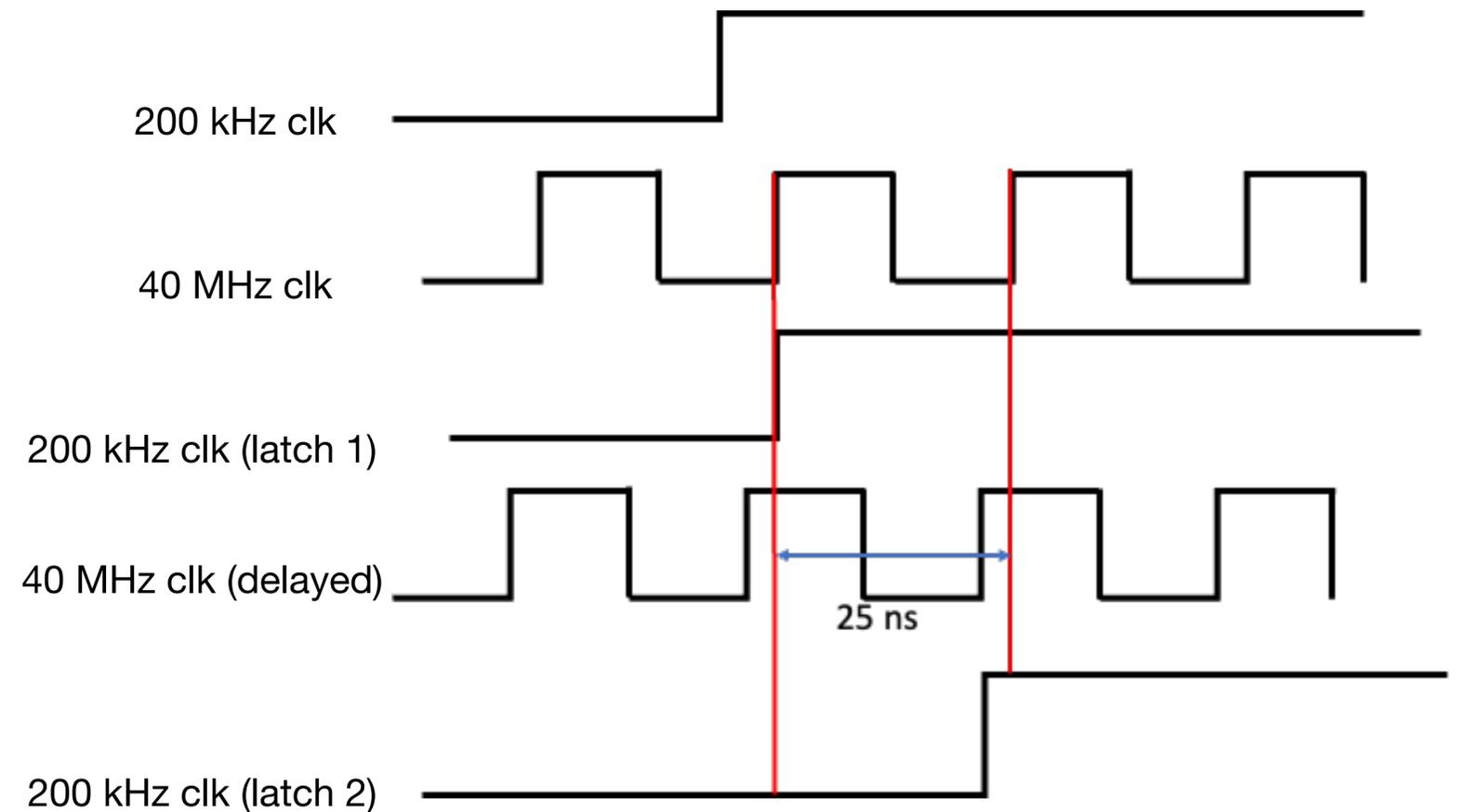


図19: 2段階のラッチのタイミングチャート

TAMの機能実装 (ファームウェアまとめ)

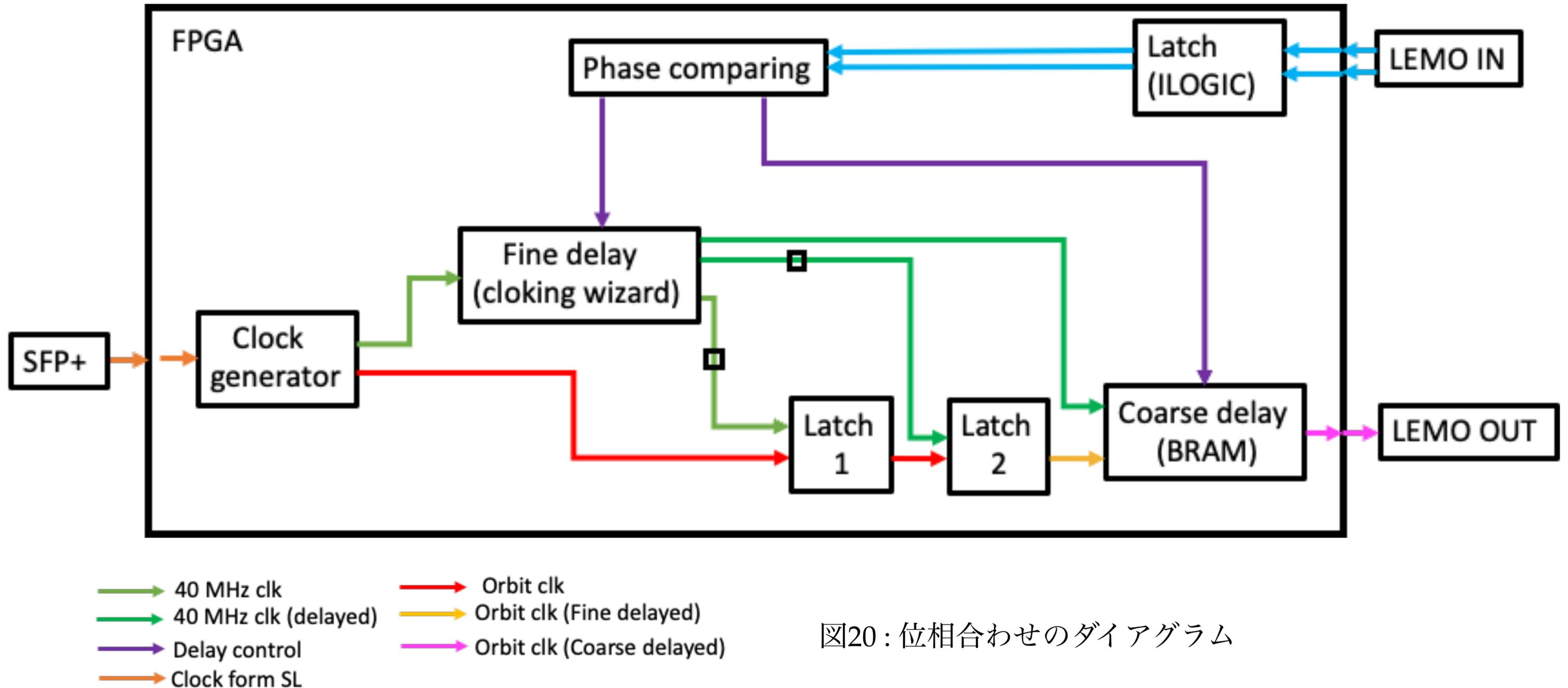


図20: 位相合わせのダイアグラム

デモンストレーション

- ❖ 上位システムから異なる配線長の光ファイバーで2台のTAMにクロックを配る。
- ❖ TAM1の200 kHzクロックをLEMOケーブルでTAM2に繋ぐ & TAM2の200 kHzクロックを1度出してから等長のLEMOケーブルでTAM2に入れる。
- ❖ TAM2の位相をTAM1に合わせる。
- ❖ 上位システム、TAM1、TAM2における200 kHzクロックを等長のLEMOケーブルでオシロスコープに繋ぎ、位相が合っているか見る。

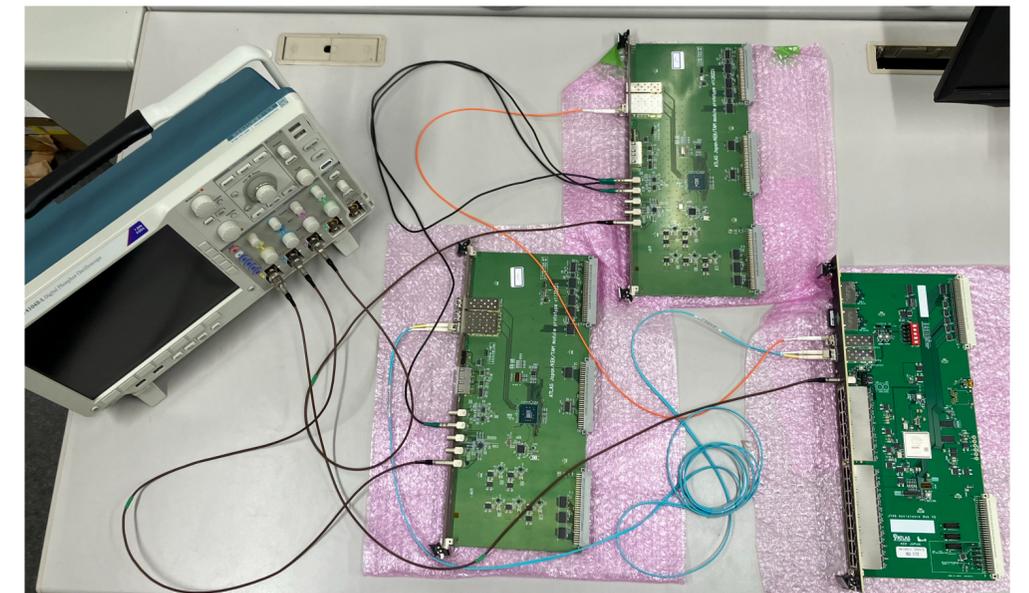
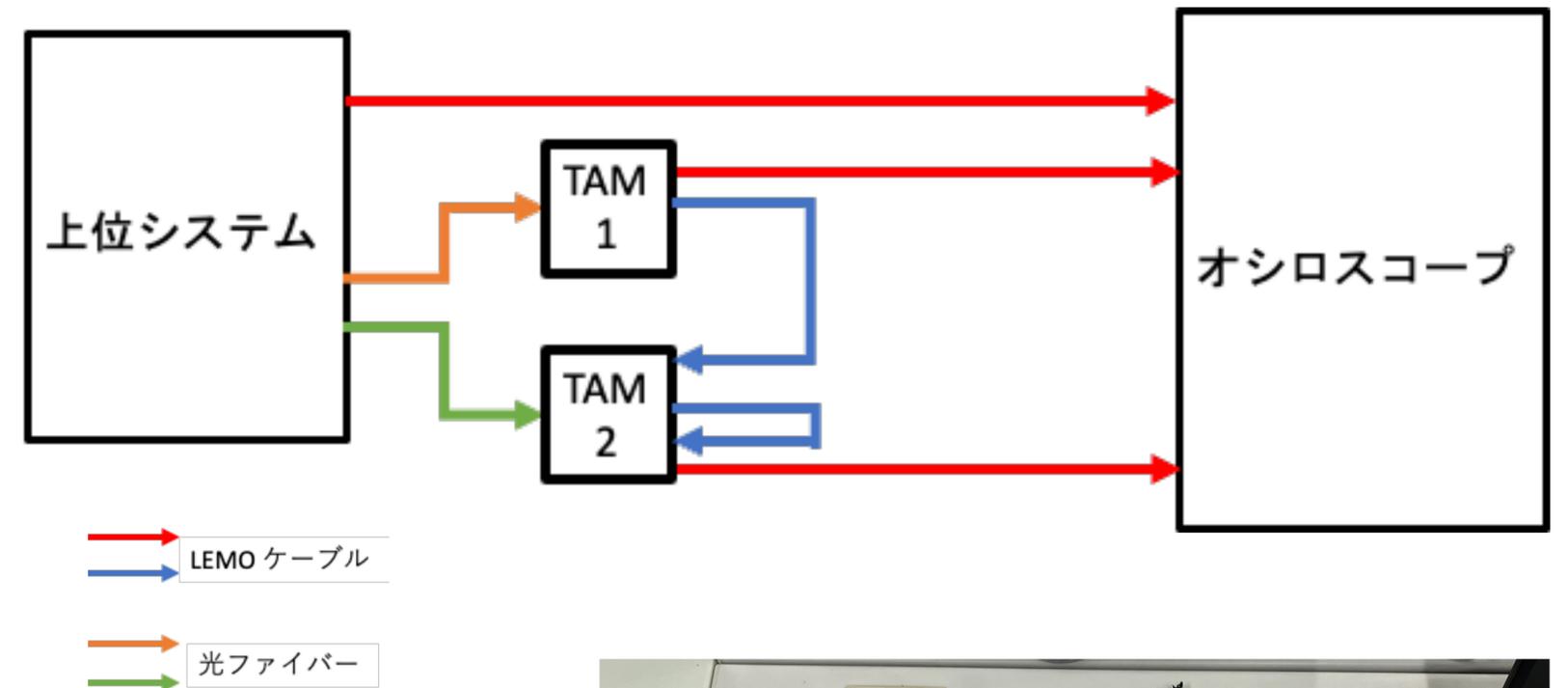


図21: デモンストレーションのセットアップ

結果

- ❖ TAM2における200 kHzクロックの位相を、TAM1における200 kHzクロックの位相に自動で合わせることを達成。
- ❖ 期待された分だけCoarse delayとFine delayを行って位相が一致したことを確認。
- ❖ 隣のTAMとの位相合わせ&JATHubへの基準クロック分配が正しく実装できた。
- ❖ 同様のハードウェア、ファームウェアを持つTAMを用いて、A01→A02...A12→C01...C12と繰り返せば24台のTAMの位相が一致する。

上位システム

TAM 1

TAM 2

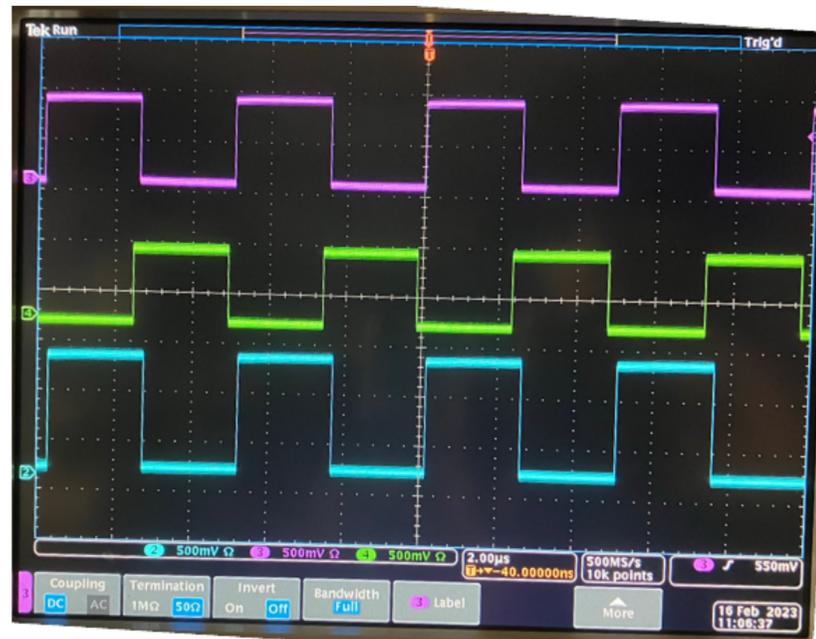


図22 : 位相合わせ前

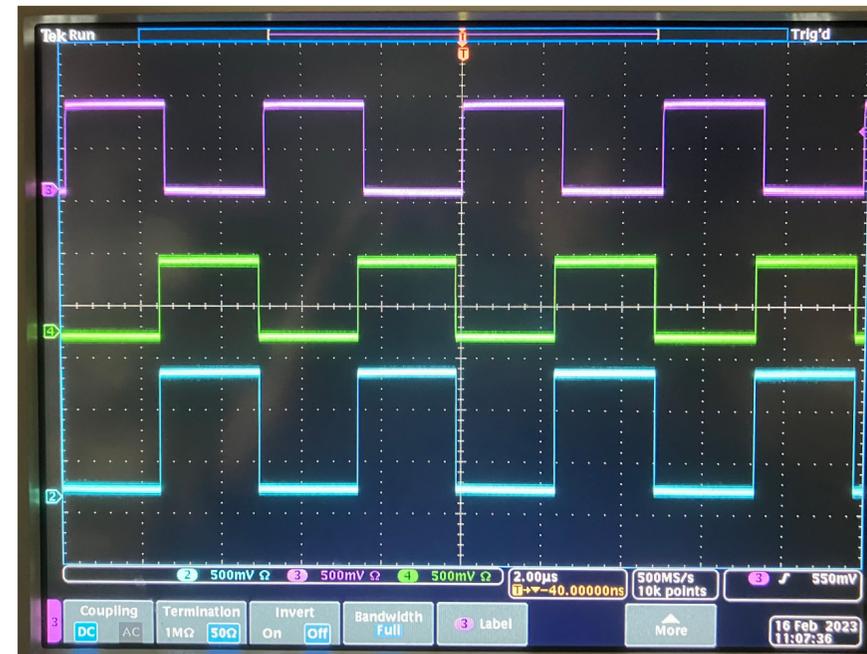


図23 : 位相合わせ後(TAM2をTAM1に合わせた)



JATHubの機能実装

- ❖ RJ45 : 最大11台のPS boardを等長のCat 6ケーブルで接続する。
- ❖ LEMO IN : TAMから基準クロックをLEMOケーブルで受け取る。
- ❖ 基準クロックに対する、PS boardにおけるクロックの位相をモニターする機能を実装。

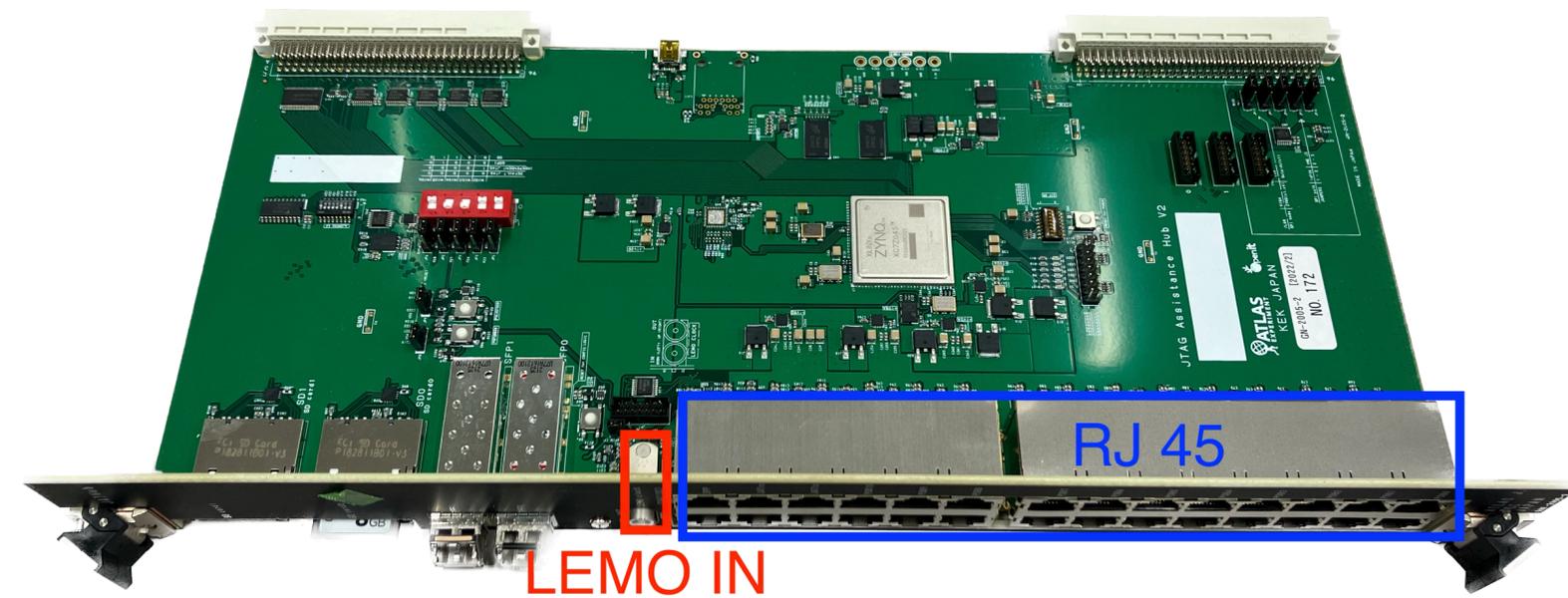


図24 : JATHub

デモンストレーション

- ❖ 2台のPS board をJATHubに接続して十分な精度で実装できていることを確認した。11台に率直に拡張できる。
- ❖ JATHubのデモンストレーション完了。

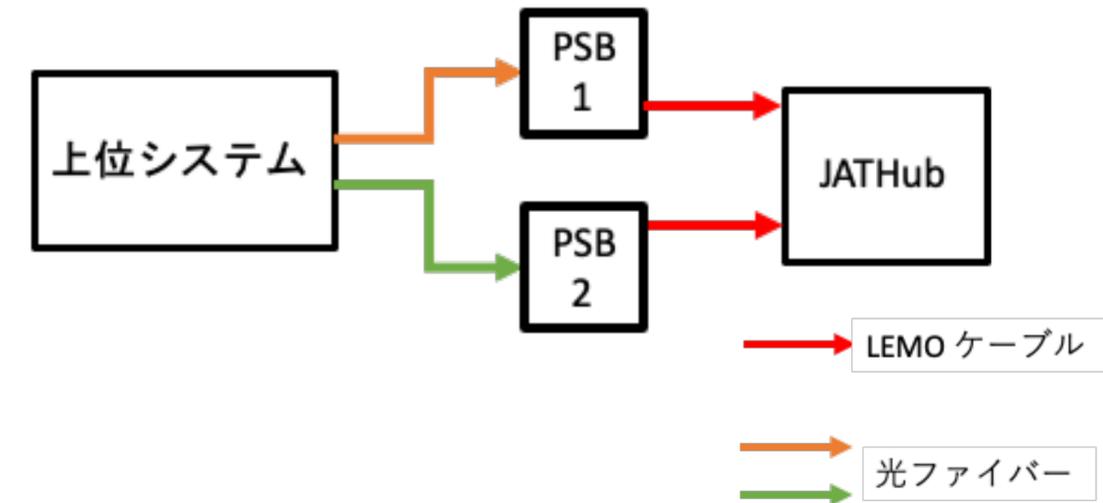


図25: デモンストレーションのセットアップ

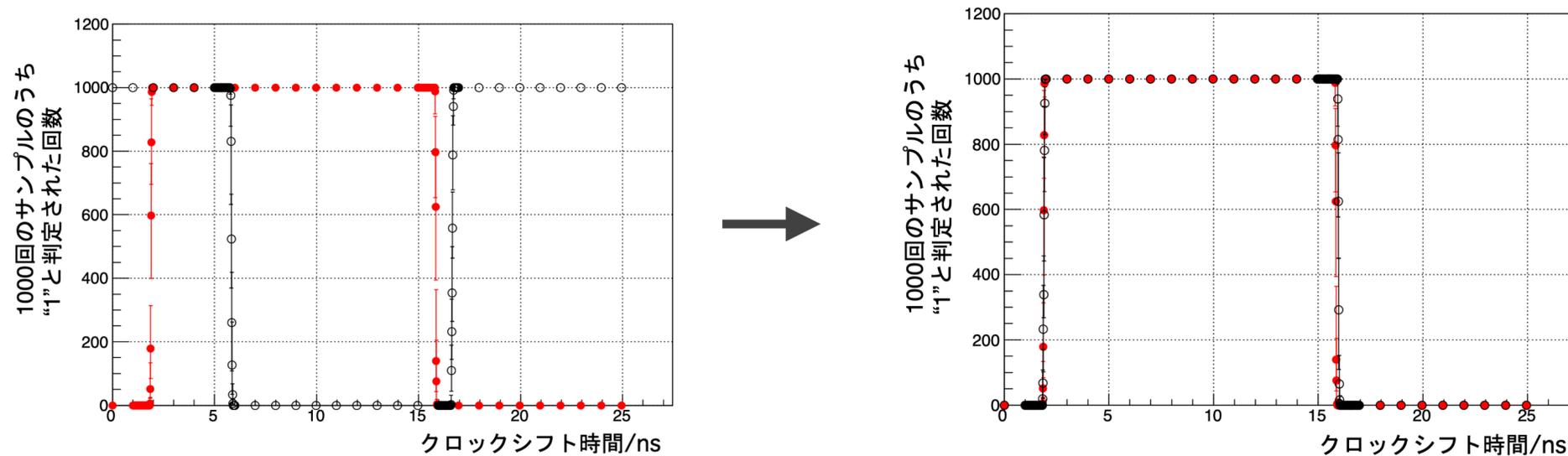
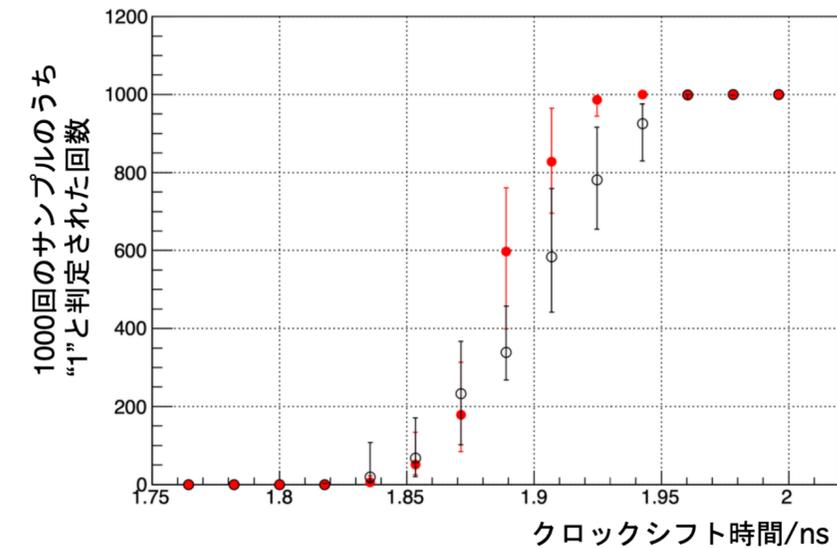


図26: デモンストレーションの結果



まとめ

- ❖ 1434枚のフロントエンド回路(PS board)に全て独立のファイバーで上位システム(SL)からクロック信号を分配。
- ❖ 正しいBCIDを行うために、これらのクロックの位相をO(100 ps)の精度で合わせる必要があり、その方法を考案。
 1. 基準クロックに対して、全PS boardに独立に配られたクロックの位相を測定する方法。
 2. ケーブル長に関わらず、全システムに基準クロックを同一位相で分配できる仕組み。
- ❖ 実現するために2つのモジュールを開発。
 1. JATHub モジュール
 2. TAM モジュール

まとめ (続)

- ❖ ハードウェア、ファームウェアの設計、機能実装。
- ❖ デモンストレーションを行い、十分な精度で実装されていることを確認。
- ❖ 今回のデモを率直に本番スケール(PS board 1434枚)に拡張することが可能。
- ❖ 2026~2029年に行う高輝度LHC-ATLAS実験のタイミングキャリブレーションに必要な実装が完了した。

Back-up

LHC-ATLAS実験のTGC検出器

- ❖ 電源供給、ガス供給、電気回路制御、読み出しの関係から特に、右図のように1/12セクターという単位で扱う。AサイドとCサイド合わせて、1/24セクターという呼び方をすることもある。
- ❖ 1/12セクターはATLASの座標系に沿って01から12まで通し番号がついている。
- ❖ ATLAS座標系とは、「空を向くようにy-軸、LHCの中心を向くようにx-軸を定義した右手座標系」。
- ❖ x-軸の正の向きに沿って設置されている1/12セクターがセクター01。
- ❖ ATLAS検出器原点に対して、 $z < 0$ 側をCサイド、 $z > 0$ 側をAサイドと呼ぶ。
- ❖ ATLAS回路室はA07、C07側に設置。



図1 : M1 tripletを正面から見た様子

Bunch-Crossing Identification (BCID)

- ❖ ヒット信号が、どの陽子バンチ衝突に対応しているかを識別すること。各ヒット信号には0から3563までのBCIDが付与される。
- ❖ ATLAS検出器の個々の検出器が得たデータを統合して分析するためにはBCIDする必要がある。
- ❖ TGCにおいてはPS boardでBCIDを行う。
- ❖ 計1434台のPS boardが独立に正しくBCIDを行うためには、 $O(100 \text{ ps})$ の精度で計1434台のPS boardにおけるクロックの位相を合わせる必要がある。

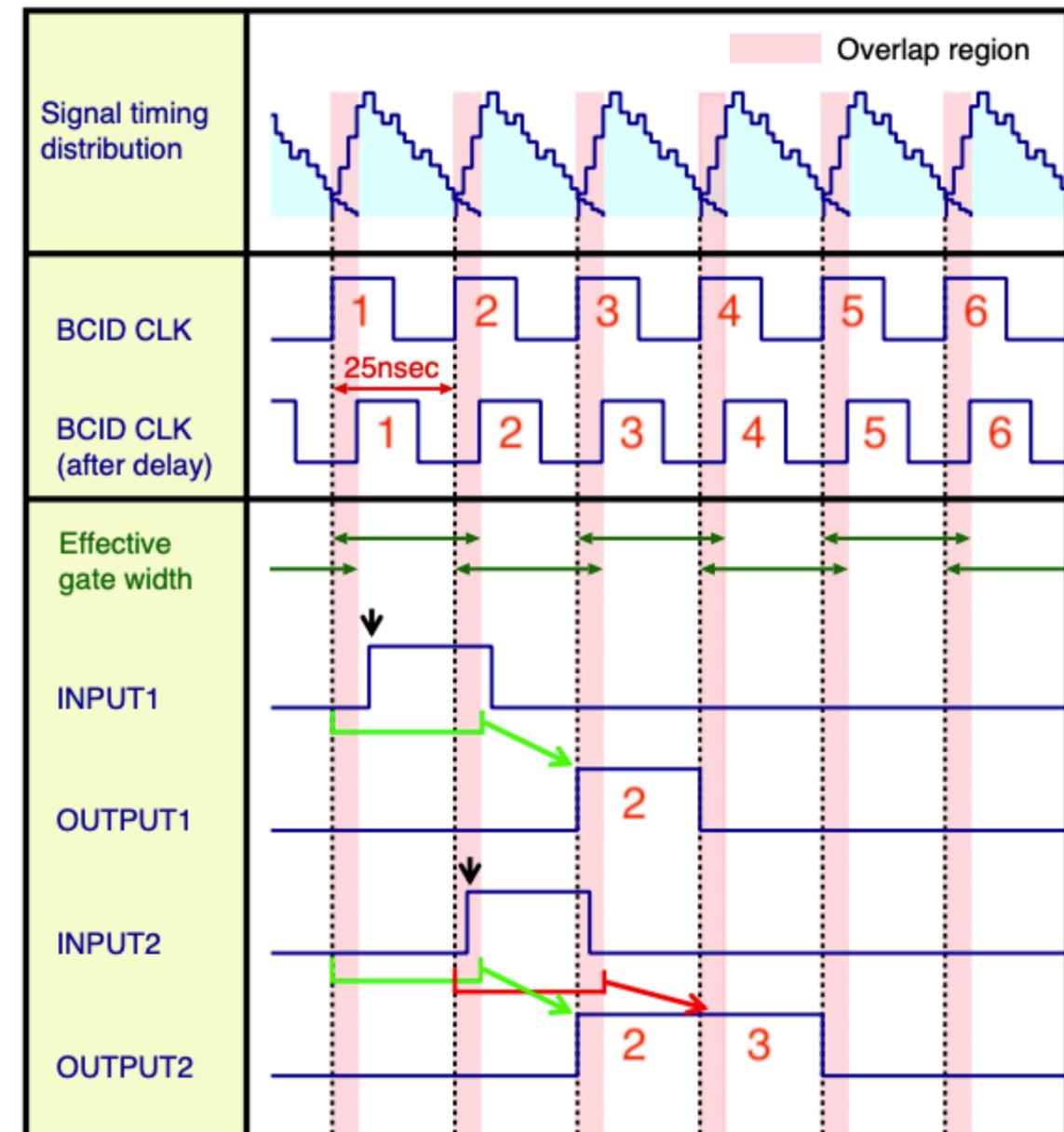


図4: BCID回路のタイミングチャート

まとめ

- ❖ JATHubとTAMによる遠隔でのPS boardの位相合わせの機構を正しく実装できた。
- ❖ 今回のデモを率直に本番スケール(PS board 1434枚)に拡張することが可能。
- ❖ 2026~2029年に行う高輝度LHC-ATLAS実験のタイミングキャリブレーションに必要な実装が完了した。