

# Firmware Development of Universal Trigger Board 4

Hanwook Bae  
U-Tokyo, Department of Physics

February 18, 2020

# Outline

## 1. Introduction to a Trigger System of Belle II

## 2. The Firmware for Sub FPGA of UT4

2-1. Functionality of the Firmware

2-2. VME Communication Modules

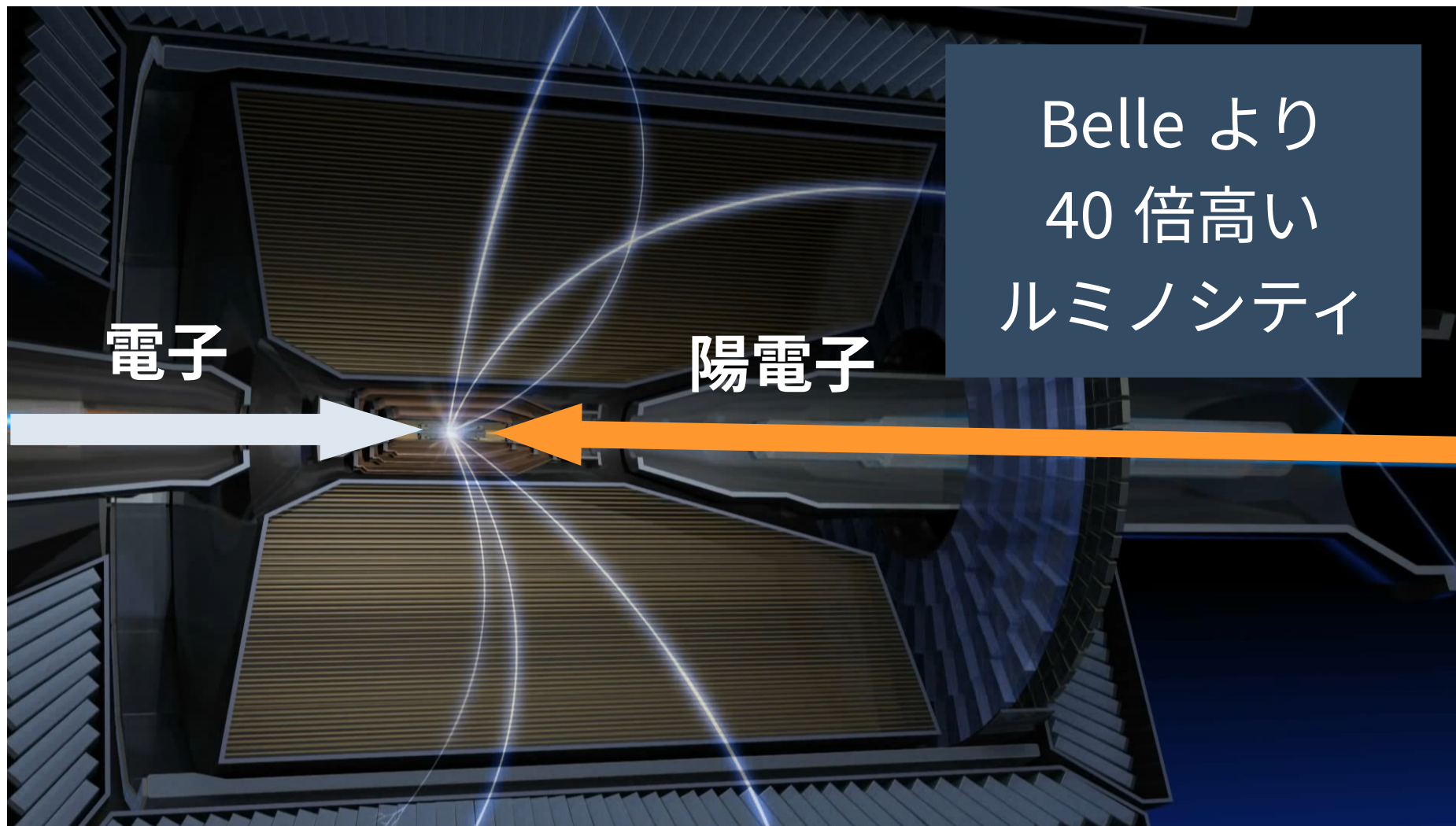
2-3. Flash Interface Modules

2-4. SelectMAP Booting Interface Modules

## 3. Conclusion & Plans

# Introduction to a Trigger System of Belle II

# The Belle II Experiment



# The Belle II Experiment

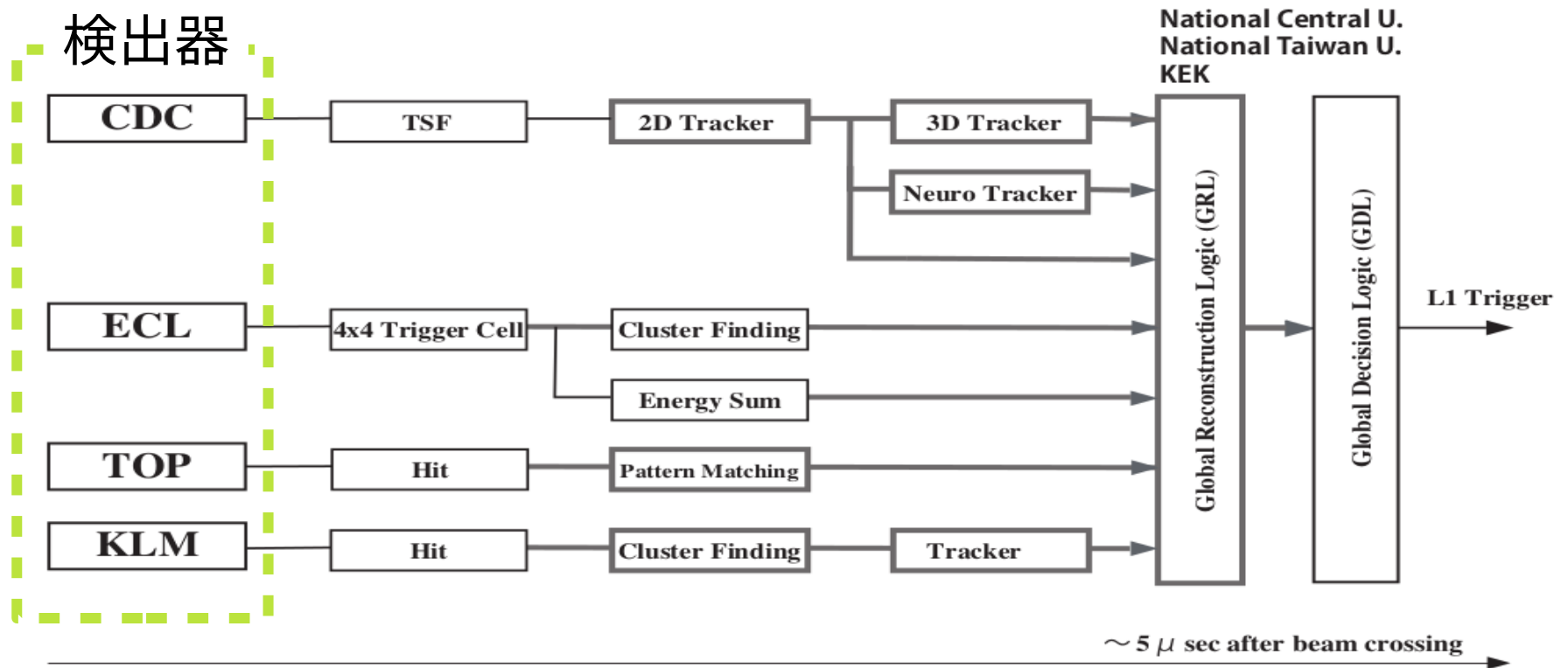


# L1 Trigger Systems of Belle II

**Belle II** 測定器の各検出器からの信号を用い、収集したい物理事象を判別するハードウェアトリガ

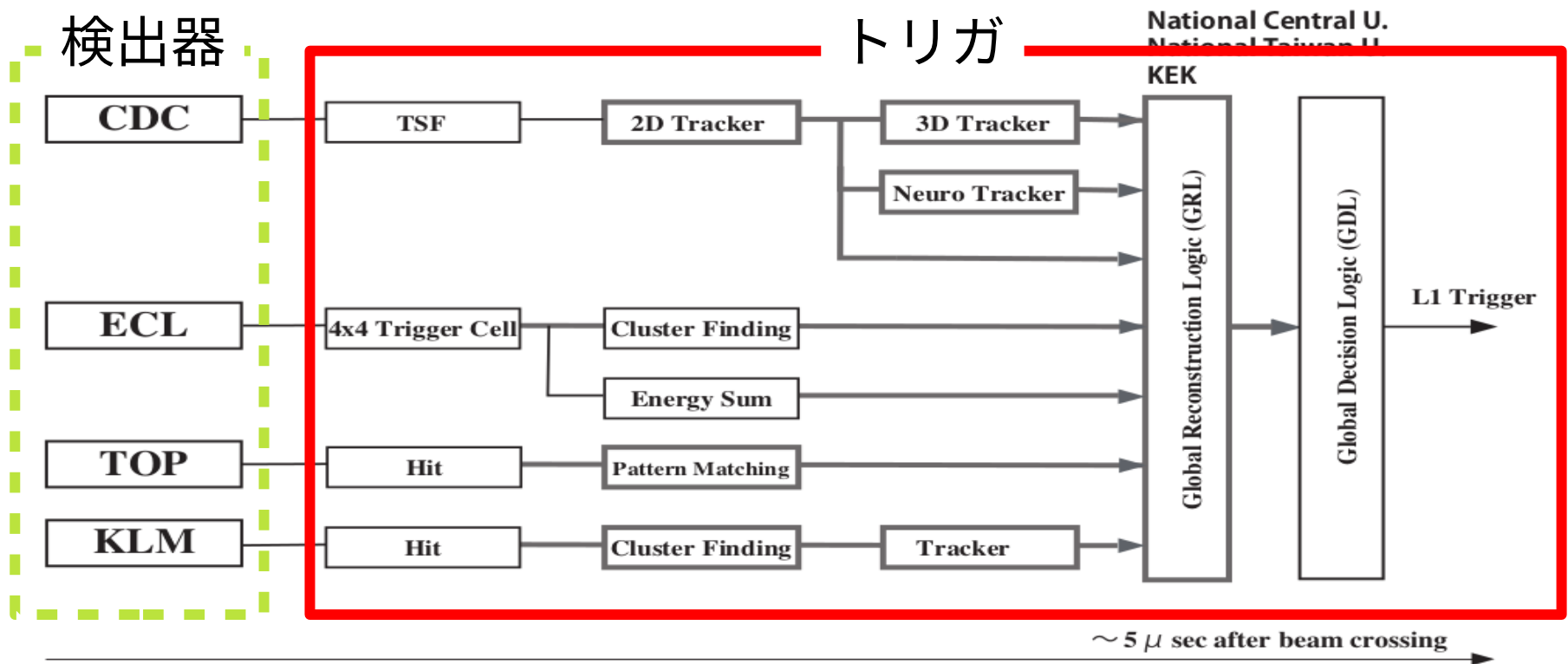
# L1 Trigger Systems of Belle II

Belle II 測定器の各検出器からの信号を用い、収集したい物理事象を判別するハードウェアトリガ



# L1 Trigger Systems of Belle II

Belle II 測定器の各検出器からの信号を用い、収集したい物理事象を判別するハードウェアトリガ





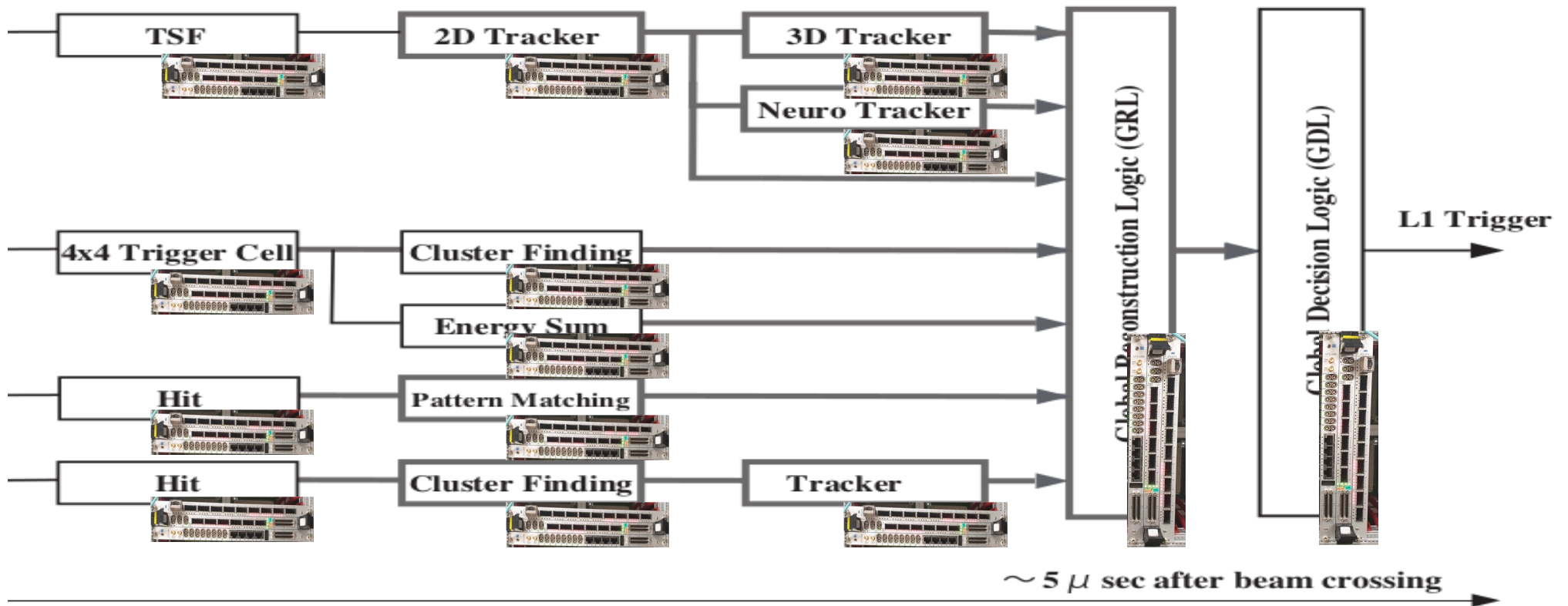
# L1 Trigger Systems of Belle II

**Belle II** 測定器の各検出器からの信号を用い、収集したい物理事象を判別するハードウェアトリガ

様々な検出器に特化したトリガを実装するため **Universal Trigger Board (UT)** という汎用トリガボードを使う

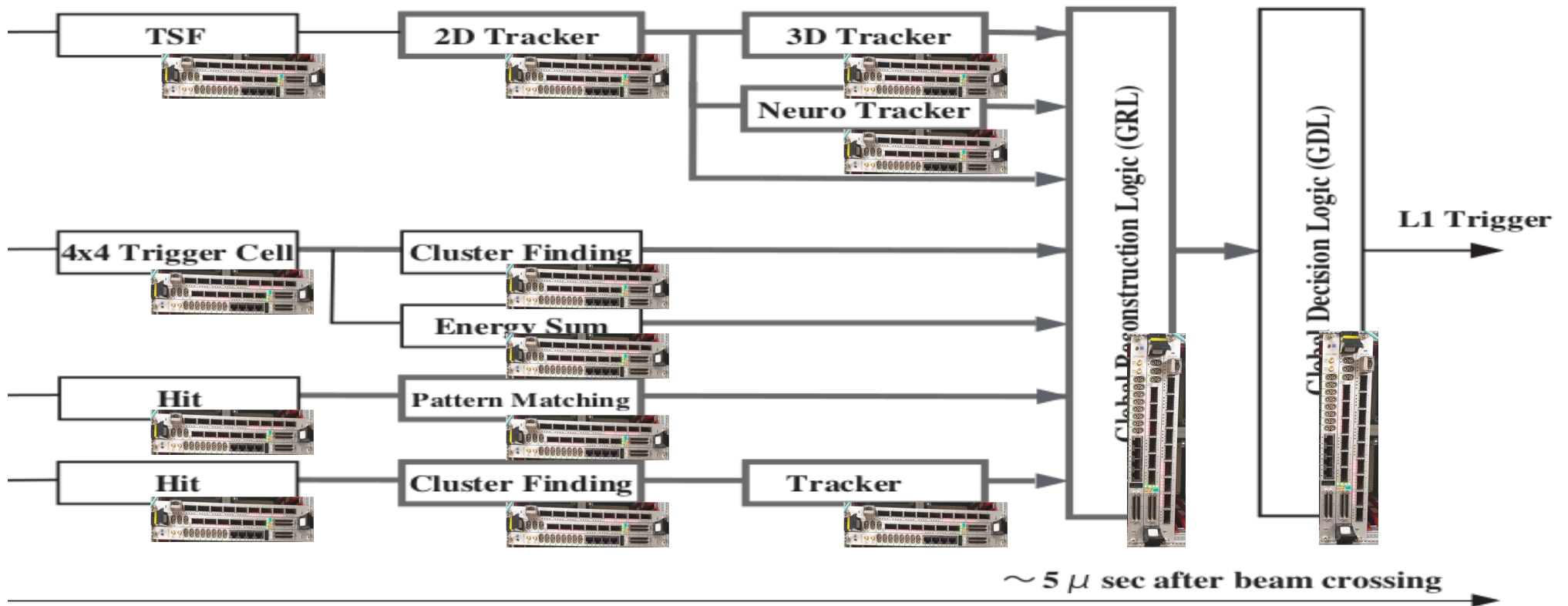
現在は **FPGA** を用いる **UT3** ボードが使われ、各種類のトリガ演算を処理している

# L1 Trigger Systems of Belle II



現在は **FPGA** を用いる **UT3** ボードが使われ、各種類のトリガ演算を処理している

# L1 Trigger Systems of Belle II



最大平均 Trigger rate が 30kHz 以下となる事、トリガの遅延が 5us 以下になる事などの厳しい条件が要求される

# The UT3 and UT4 Boards

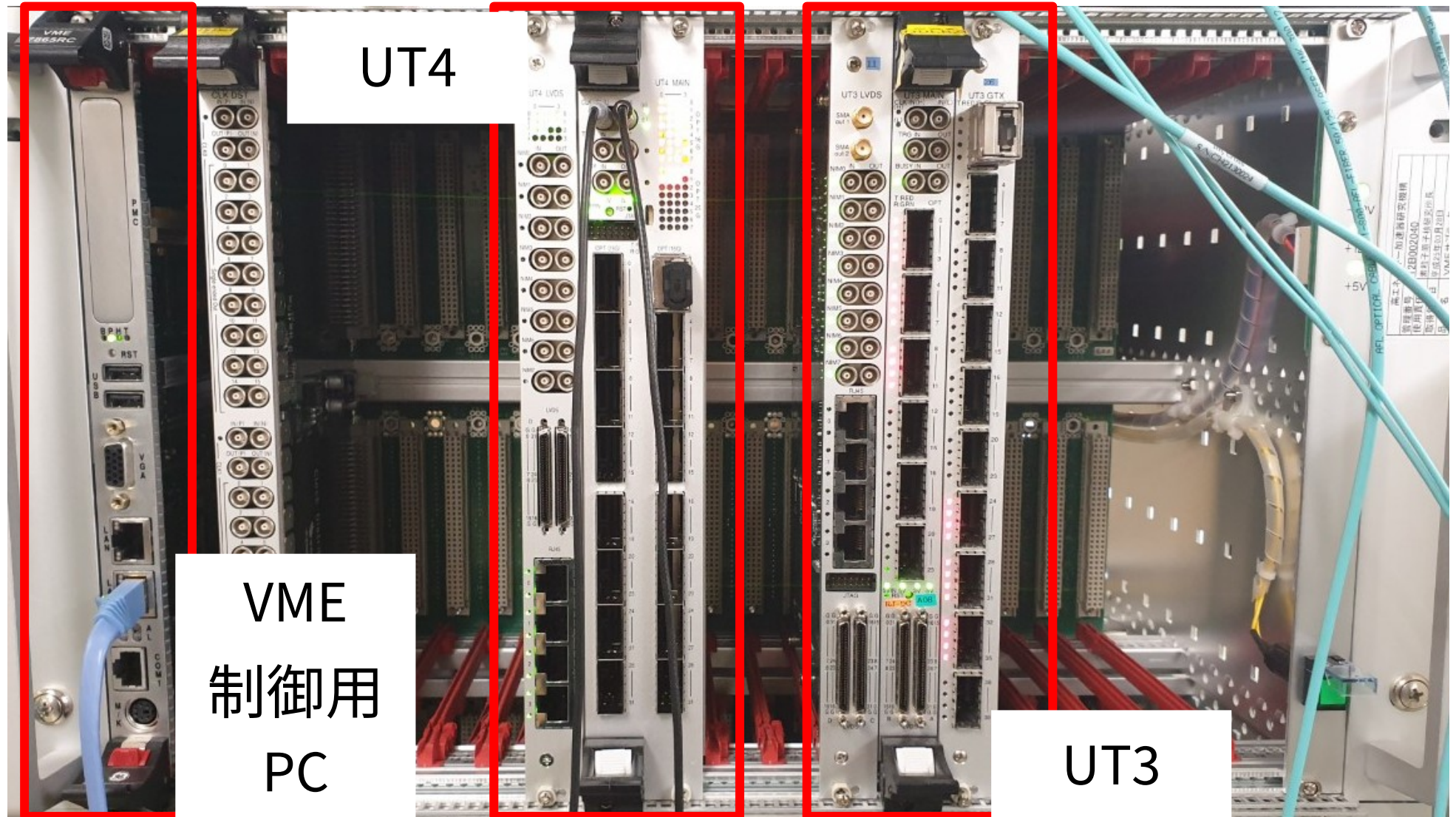
次世代の汎用ボードとして、通信性能やロジックの容量が増強された **UT4** が準備され、そのファームウェアの開発が進んでいる

	UT3	UT4
FPGA 型番 (Xilinx 製品)	Virtex 6 XC6VHX380 / 565T	Virtex UltraScale 7 XCVU080 / 190
Logic gateの数	382k / 580k gates	975k / 2026k gates
光通信の帯域幅 (総合)	530 Gbps	1300 Gbps
内部独立 RAM	なし	DDR4 32 GiB
Sub FPGA	なし	Artix 7 XC7A15T (16k gates)

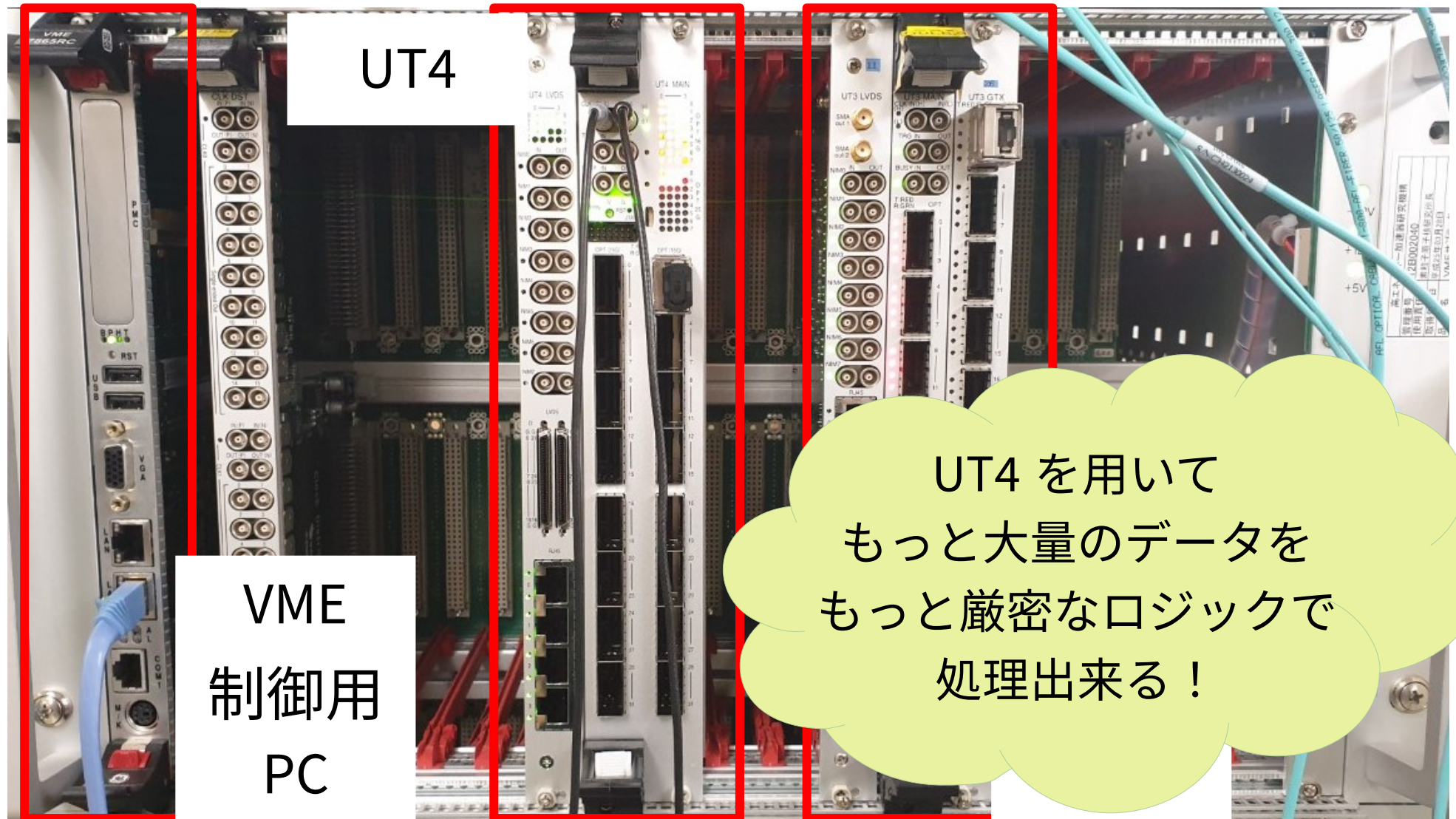
**3 倍**

**2 倍**

# The UT3 and UT4 Boards



# The UT3 and UT4 Boards

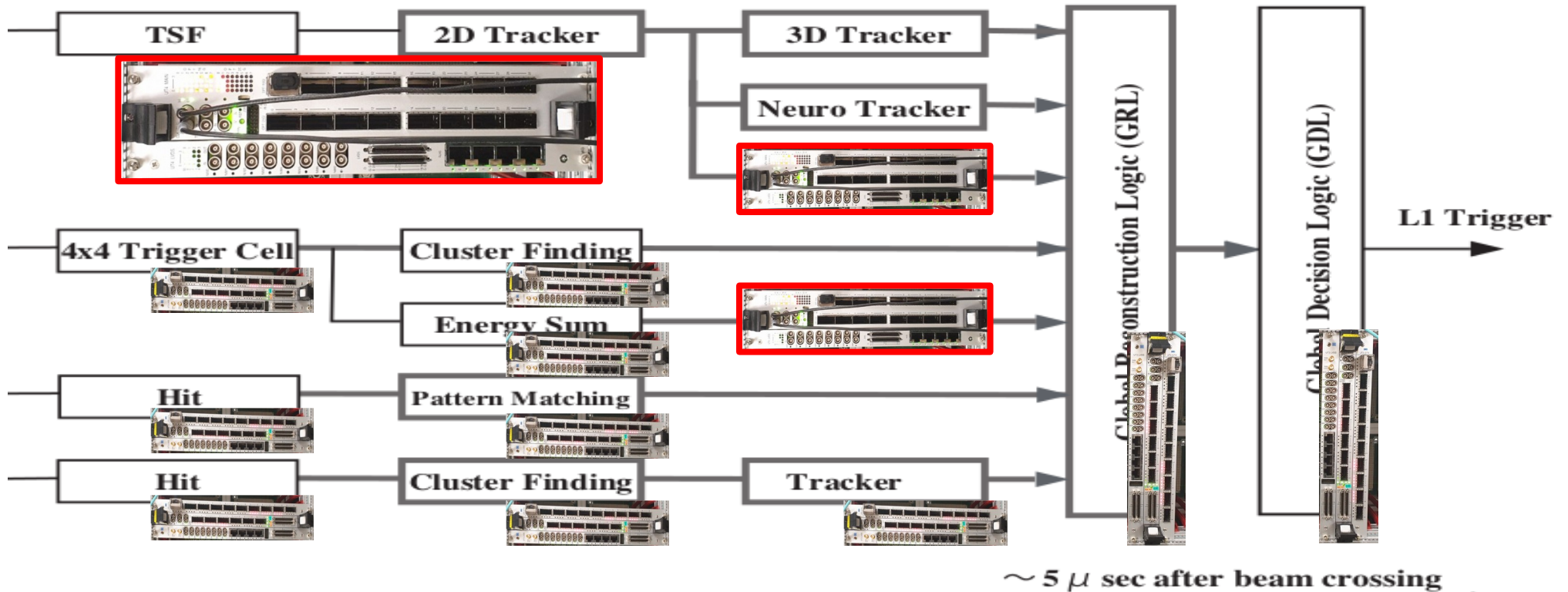


UT4

VME  
制御用  
PC

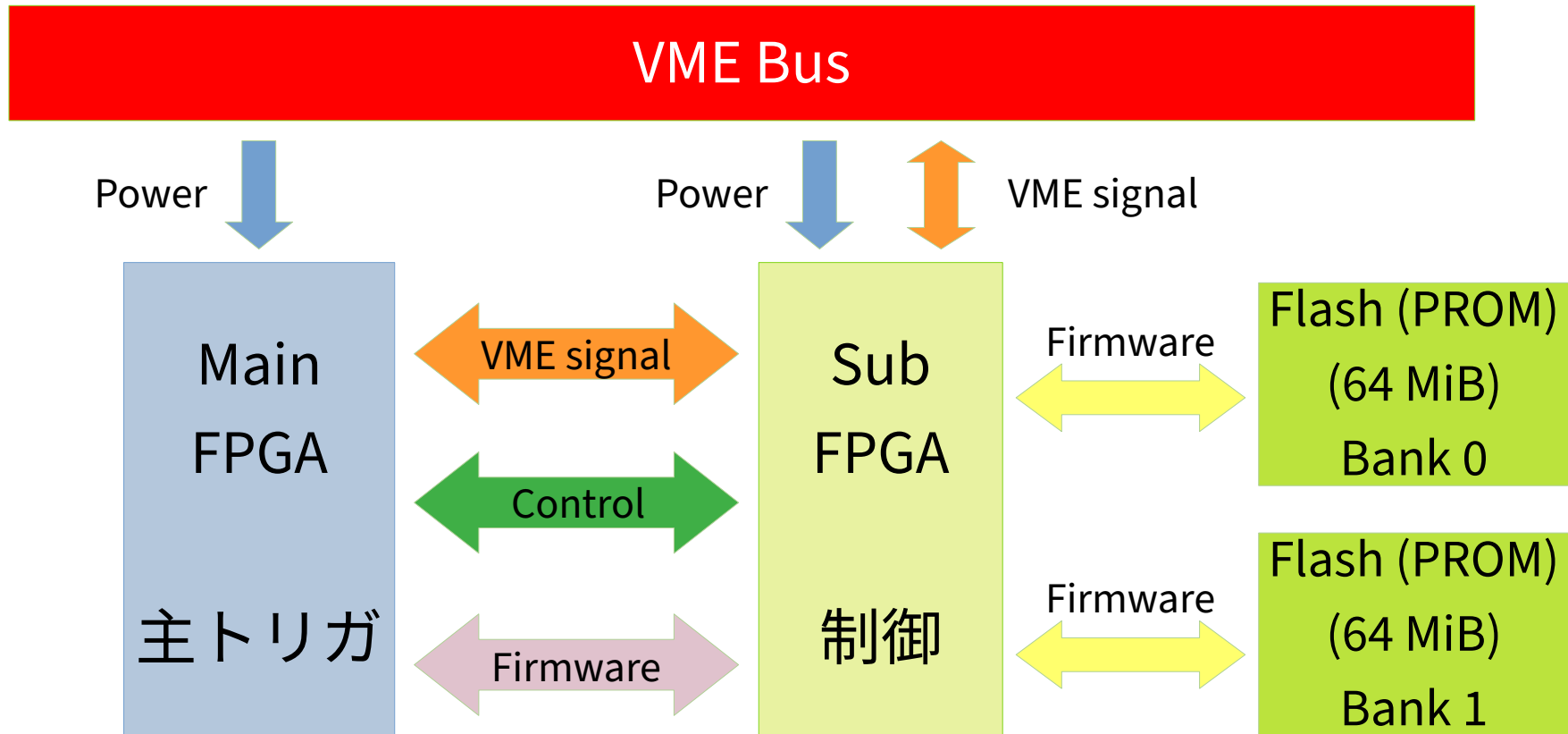
UT4 を用いて  
もっと大量のデータを  
もっと厳密なロジックで  
処理出来る！

# L1 Trigger Systems of Belle II with UT4



最大平均 Trigger rate が 30kHz 以下となる事、トリガの遅延が 5us 以下になる事などの厳しい条件が要求される

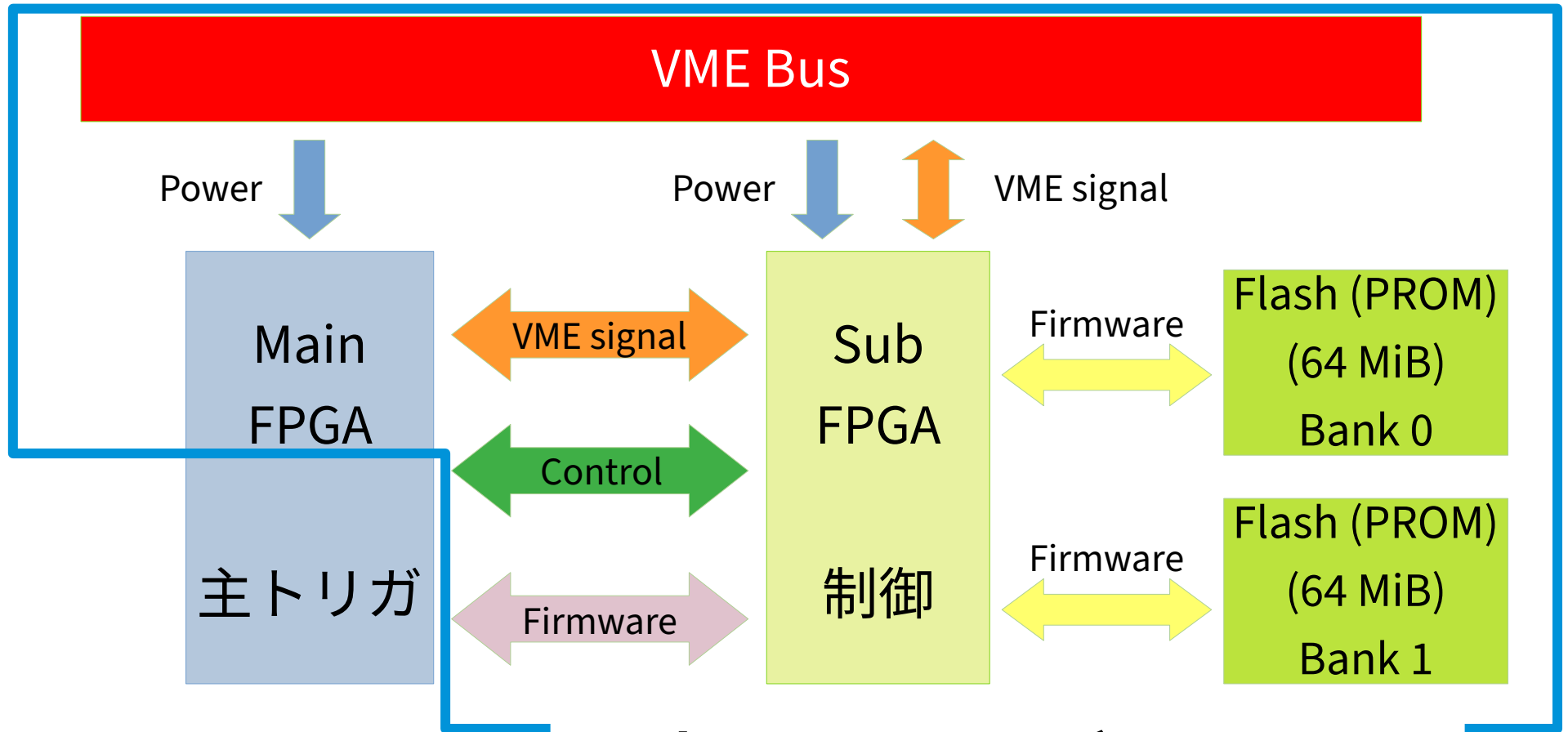
# The (very) brief structure of UT4



Sub FPGA は VME 通信、 Main FPGA の動作制御や Flash ROM の I/O 管理などを担当する



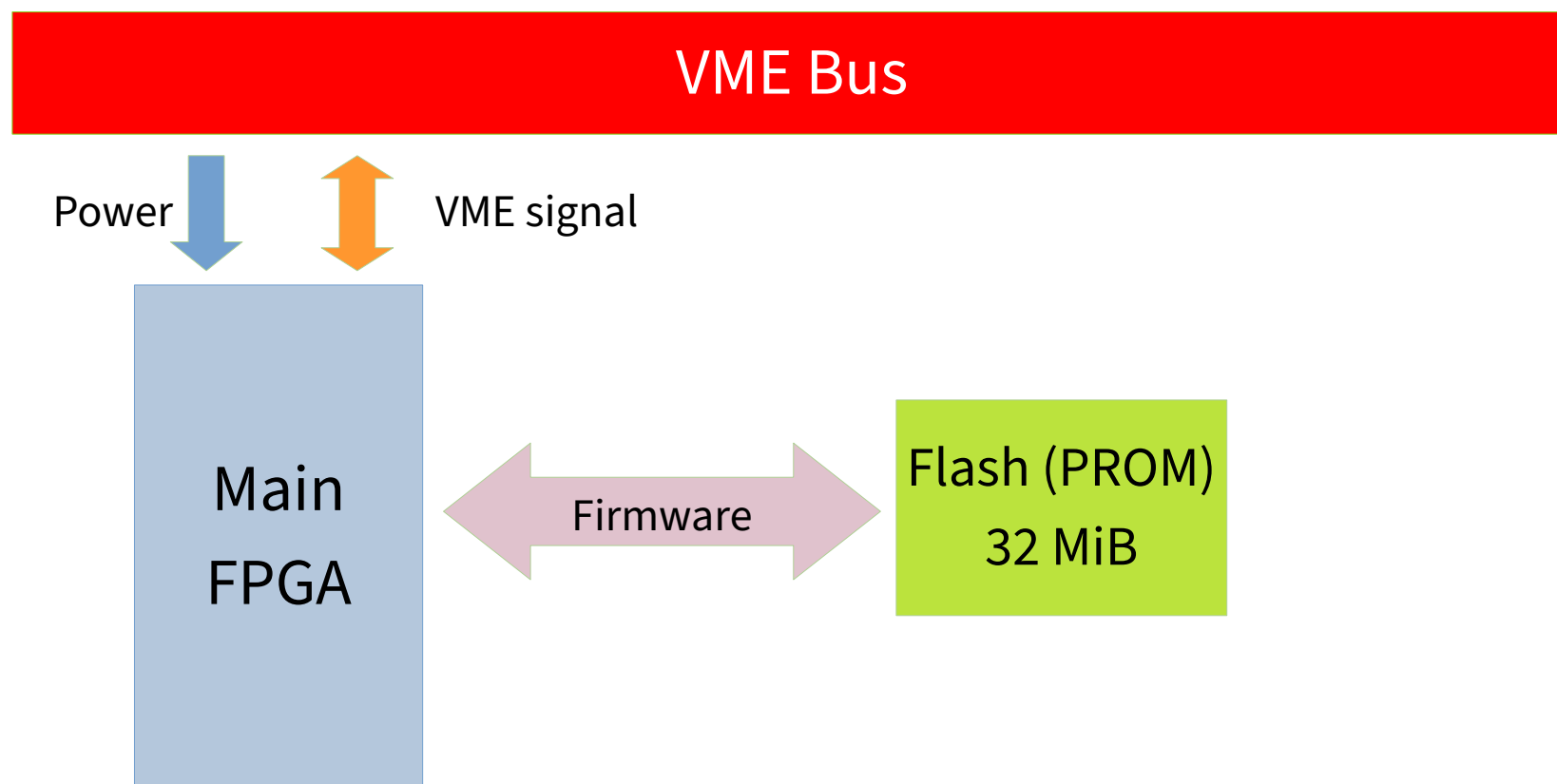
# The (very) brief structure of UT4



本日のメインディッシュ

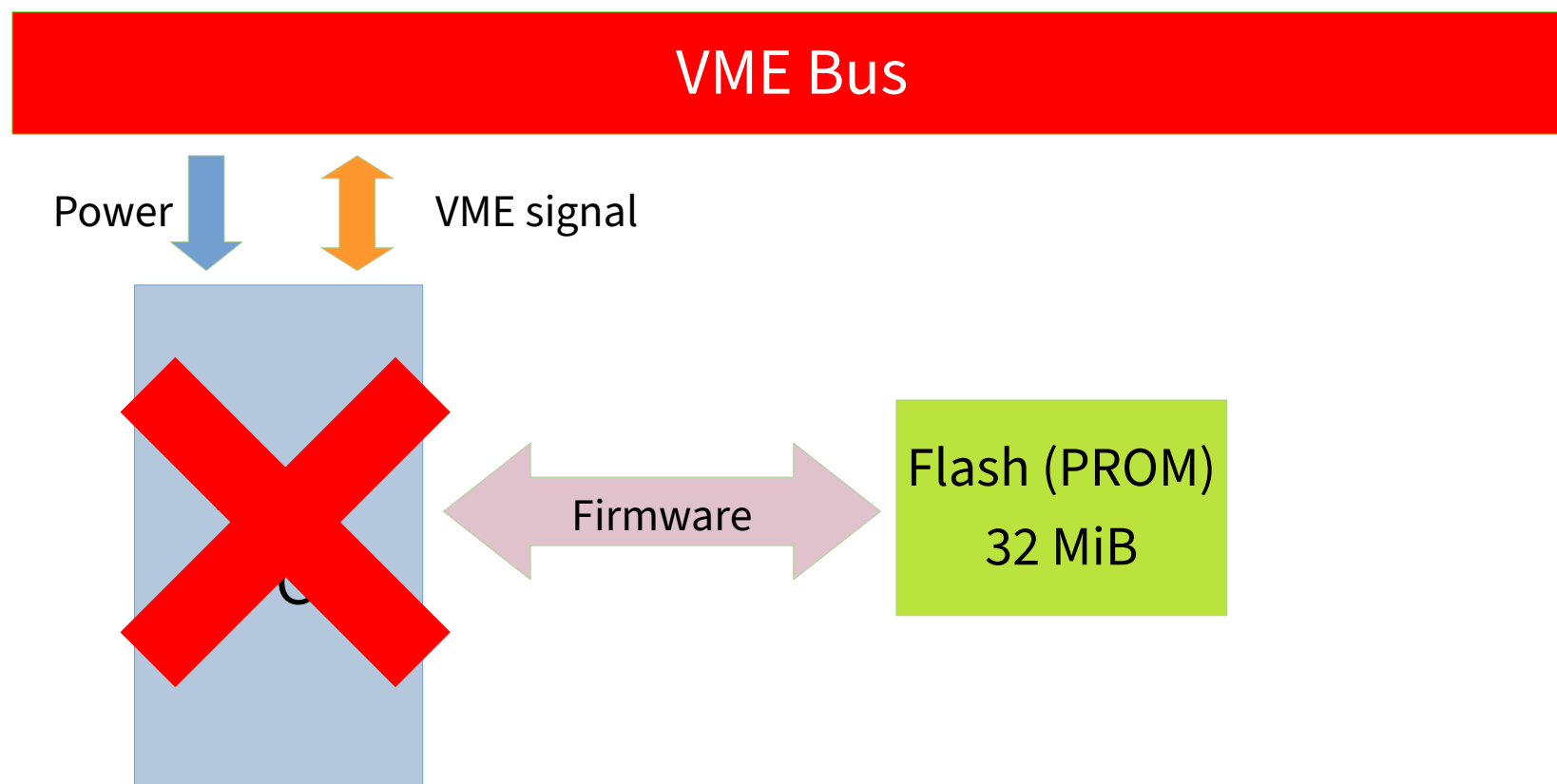
# Why UT4 has the Sub FPGA?

UT3 は FPGA と VME/Flash が直結され、自らリブートさせる事ができる



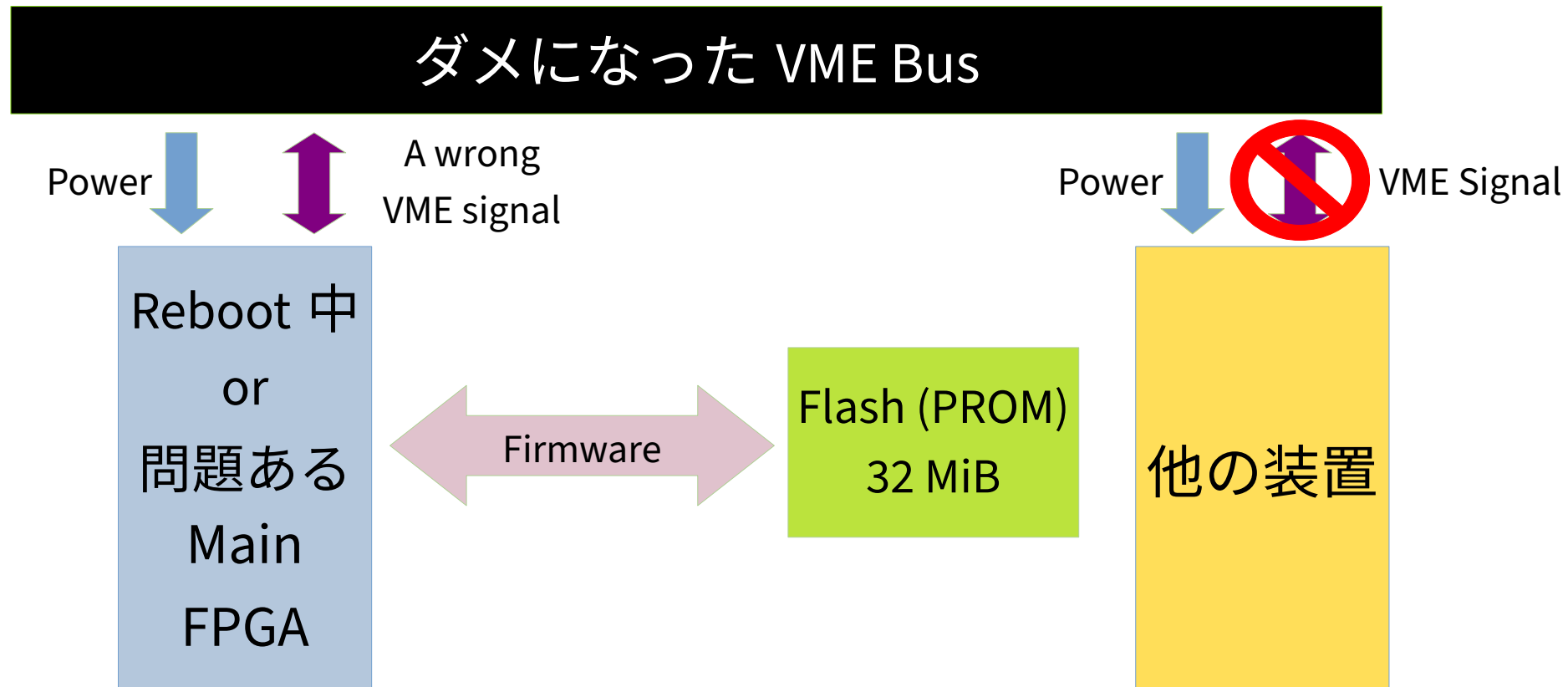
# Why UT4 has the Sub FPGA?

テスト中に入れた Firmware が間違っって、 Main FPGA がダメになったら？



# Why UT4 has the Sub FPGA?

もしくは、Main での問題で VME バス全体の通信ができなくなったら？



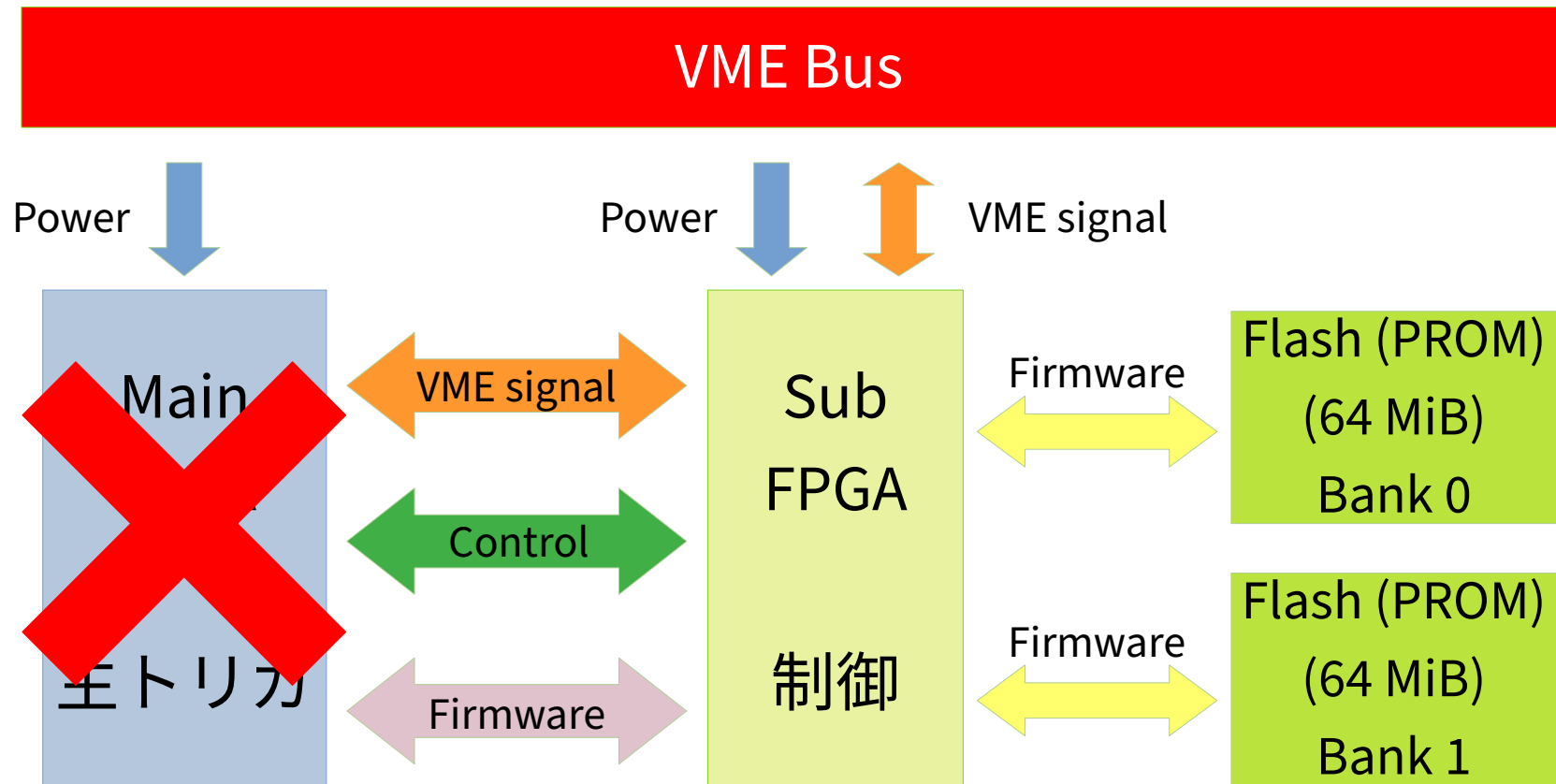
# Why UT4 has the Sub FPGA?

もしくは、Main での問題で VME バス全体の通信ができなくなったら？



# Why UT4 has the Sub FPGA?

UT4 は Sub FPGA のお陰で、常に VME に応答し、Main 異常状況に対応可能



# The Firmware for the Sub FPGA of UT4

# Functionality of Sub FPGA Firmware

1. VME バスに対して応答、中継
2. UT4 で使われる Clock をモニタリング
3. UT4 モジュールの電圧や温度などをモニタリング
4. Flash ROM の I/O 制御、ファームウェア管理
5. Main FPGA にファームウェアを入れてブートさせる
6. Main FPGA の動作状態を管理し、VME を通じて報告



# Functionality of Sub FPGA Firmware

1. VME バスに対して応答、中継
2. UT4 で使われる Clock をモニタリング
3. UT4 モジュールの電圧や温度などをモニタリング
4. Flash ROM の I/O 制御、ファームウェア管理
5. Main FPGA にファームウェアを入れてブートさせる
6. Main FPGA の動作状態を管理し、VME を通じて報告

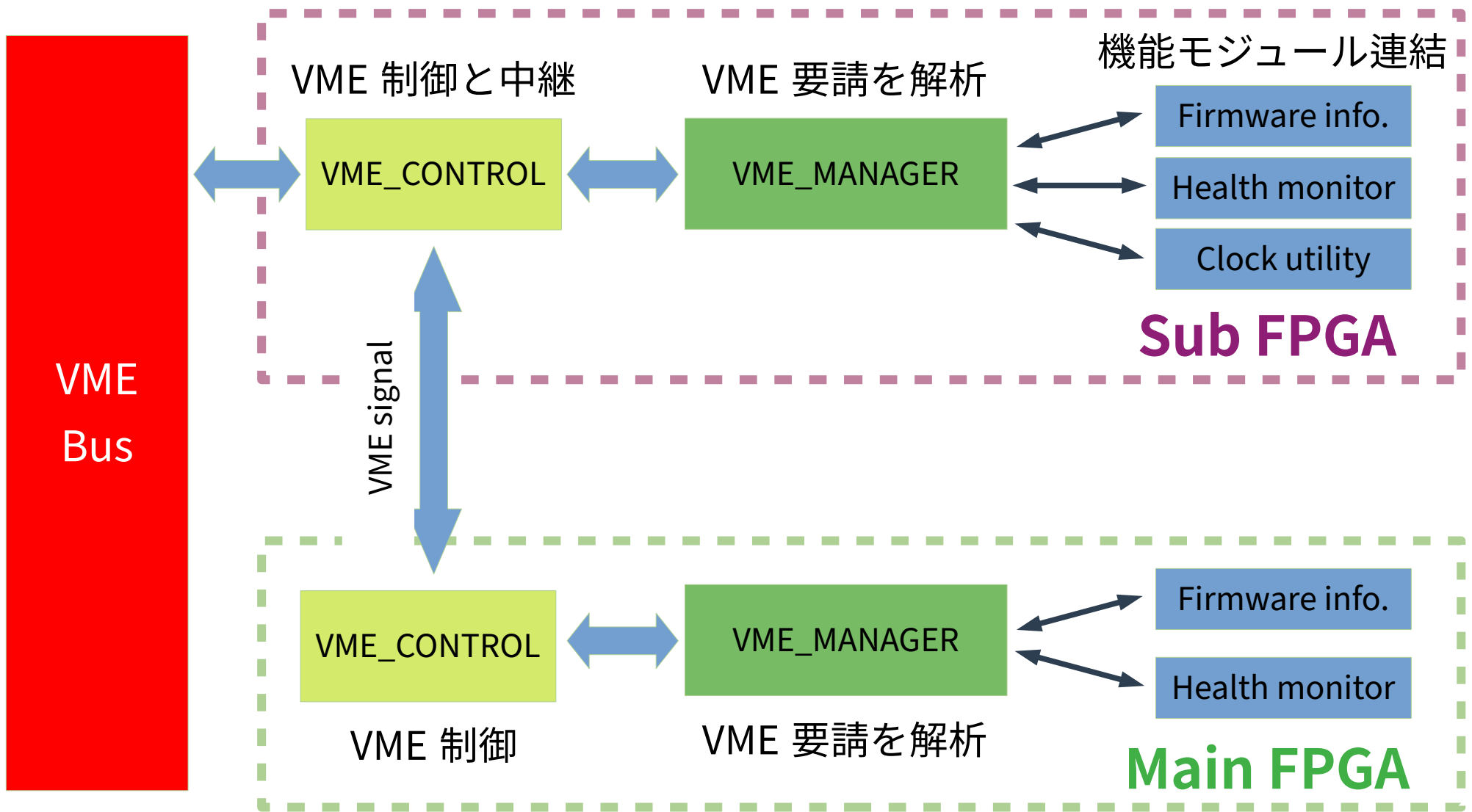
# VME communication modules

UT ボードは VME Crate に接続され、電力の受け取る事や制御 PC との通信ができる

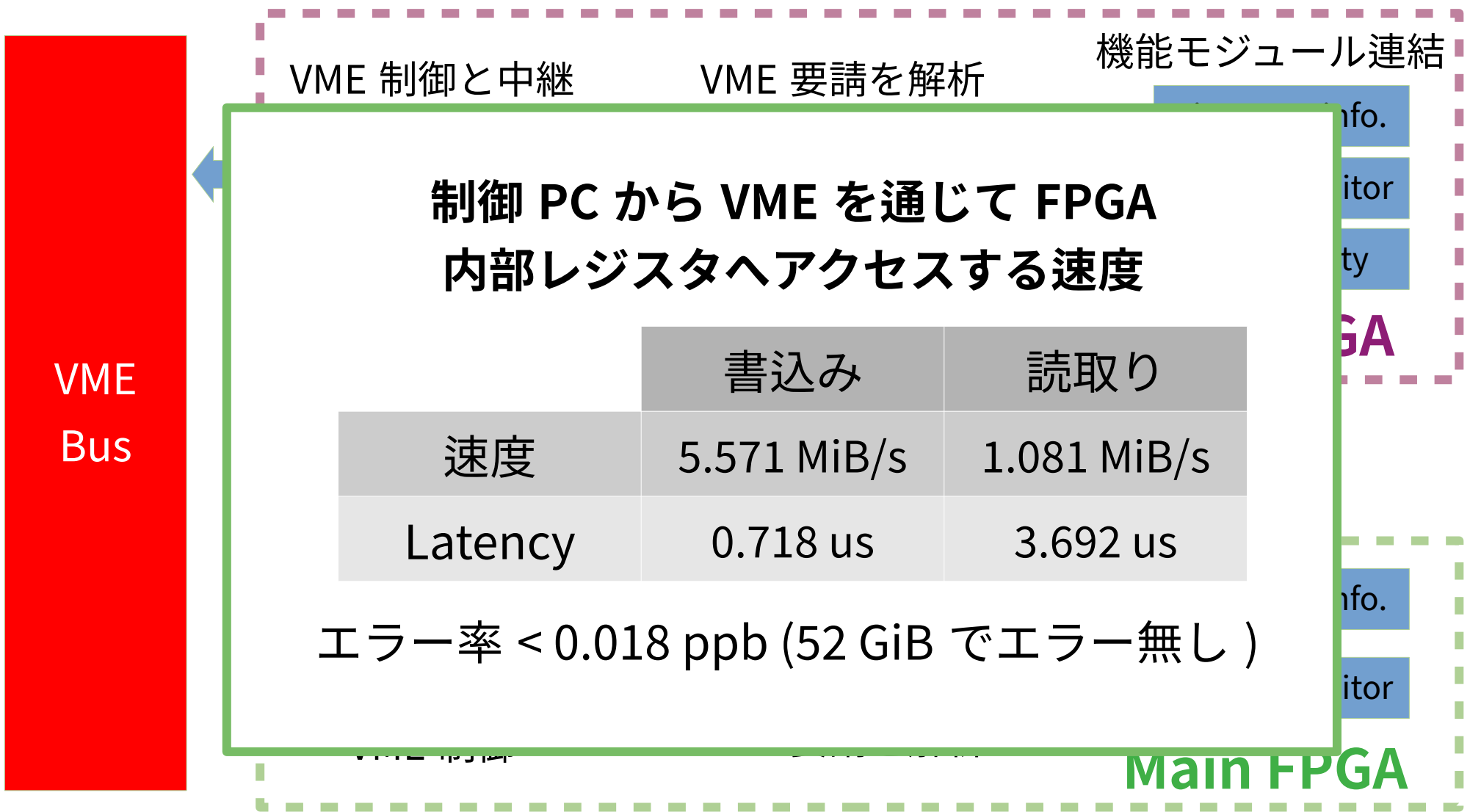
VME 通信は、Firmware の管理と Slow control での情報交換のために必要

例：電圧、温度、走ってる Firmware のバージョン情報、パラメータの更新、Firmware アップデートなど

# The structure of VME modules



# The structure of VME modules



# Functionality of Sub FPGA Firmware

1. VME バスに対して応答、中継
2. UT4 で使われる Clock をモニタリング
3. UT4 モジュールの電圧や温度などをモニタリング
4. Flash ROM の I/O 制御、ファームウェア管理
5. Main FPGA にファームウェアを入れてブートさせる
6. Main FPGA の動作状態を管理し、VME を通じて報告

# Flash ROM of UT4 and its Interface

Main と Sub の Firmware は Flash ROM に記録され、電源か切れても保存できる

UT4 には Flash が二枚あって、それぞれに異なる Firmware を保存していつでも Main で走らせる Firmware を変更することも可能

この Flash にアクセスするためには、これを制御する Interface が必要

# Functionality of the Interface

**Protocol detection:** 様々なモードで作動する Flash の状態を感知し、適切なモードとプロトコルへ自動的に転移

**Read:** 約 12us で最大 256-Byte のデータを読み取る

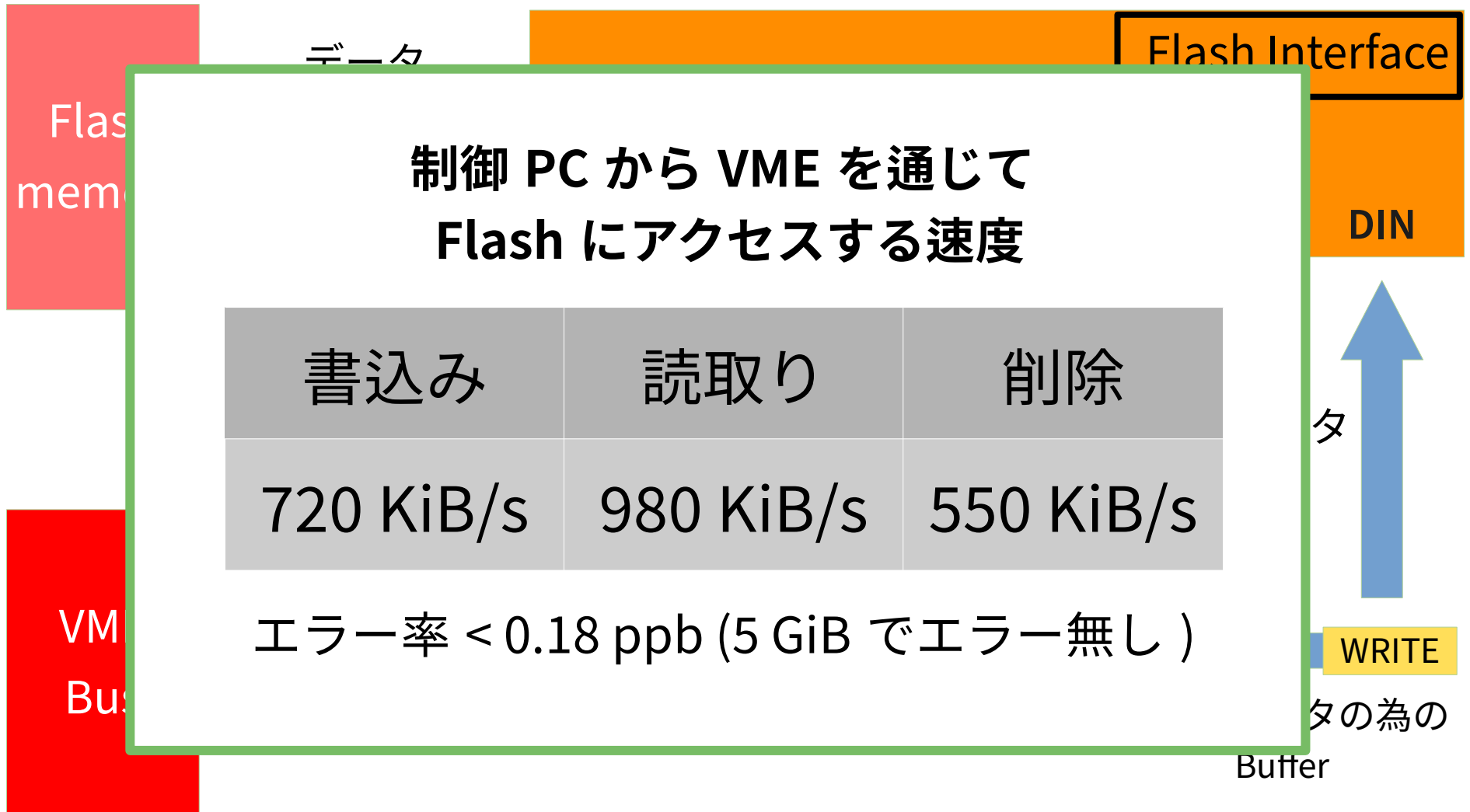
**Program:** 約 150 us で最大 256-Byte のデータを記録

**Erase:** 約 1 秒で 64-KiB Sector 又は、120 秒で Flash 全体を削除





# The structure for controlling flash through VME



# Functionality of Sub FPGA Firmware

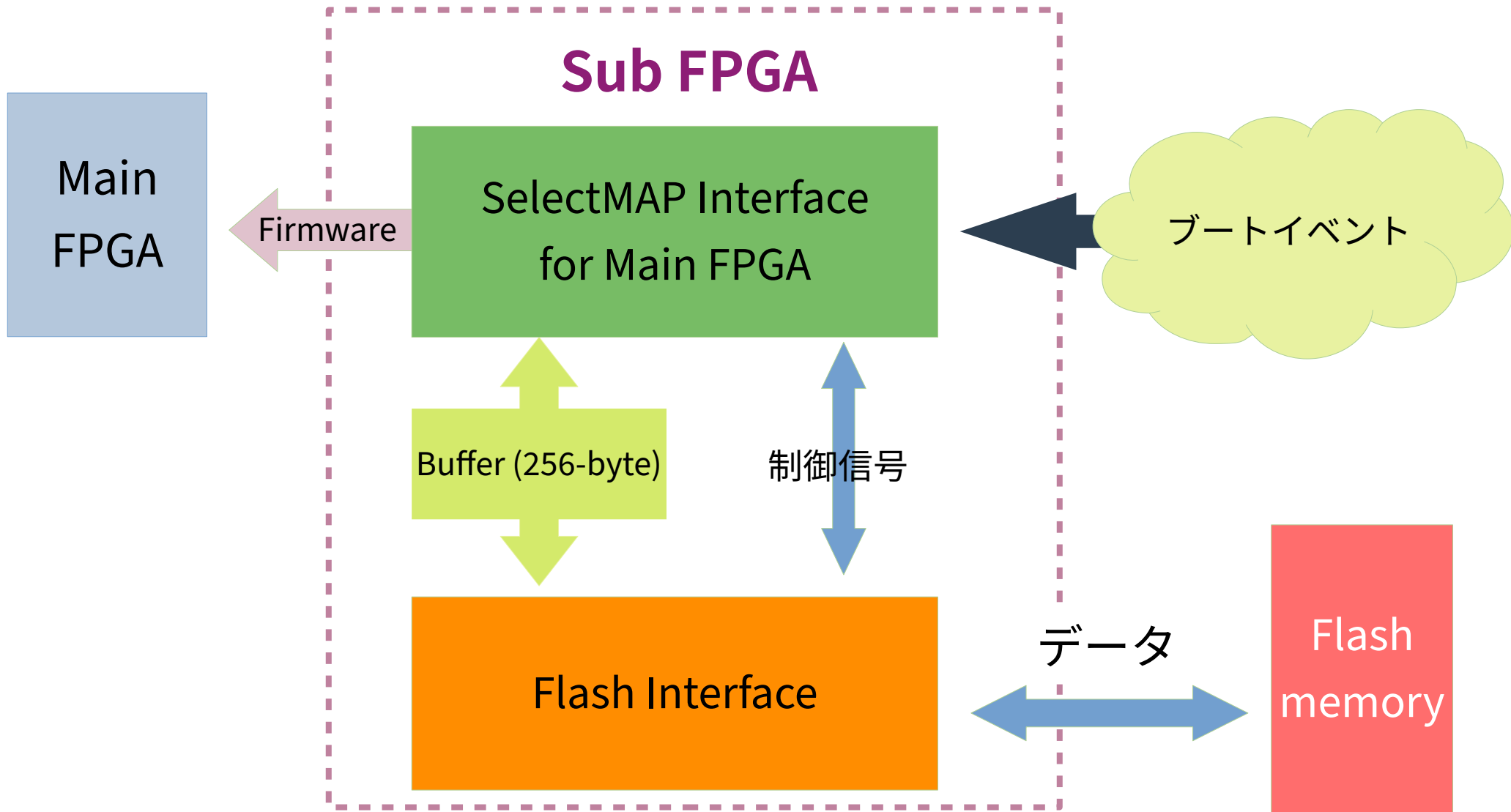
1. VME バスに対して応答、中継
2. UT4 で使われる Clock をモニタリング
3. UT4 モジュールの電圧や温度などをモニタリング
4. Flash ROM の I/O 制御、ファームウェア管理
5. Main FPGA にファームウェアを入れてブートさせる
6. Main FPGA の動作状態を管理し、VME を通じて報告

# Booting using SelectMAP protocol

FPGA を始動させるためには、電源が入るたびに ROM から Firmware を読み込んで FPGA に入れなければならない

UT4 の Main FPGA は Sub との間 SelectMAP という 8-Bit バスを通じてブートさせるのが可能

# The structure for the UltraScale configuration



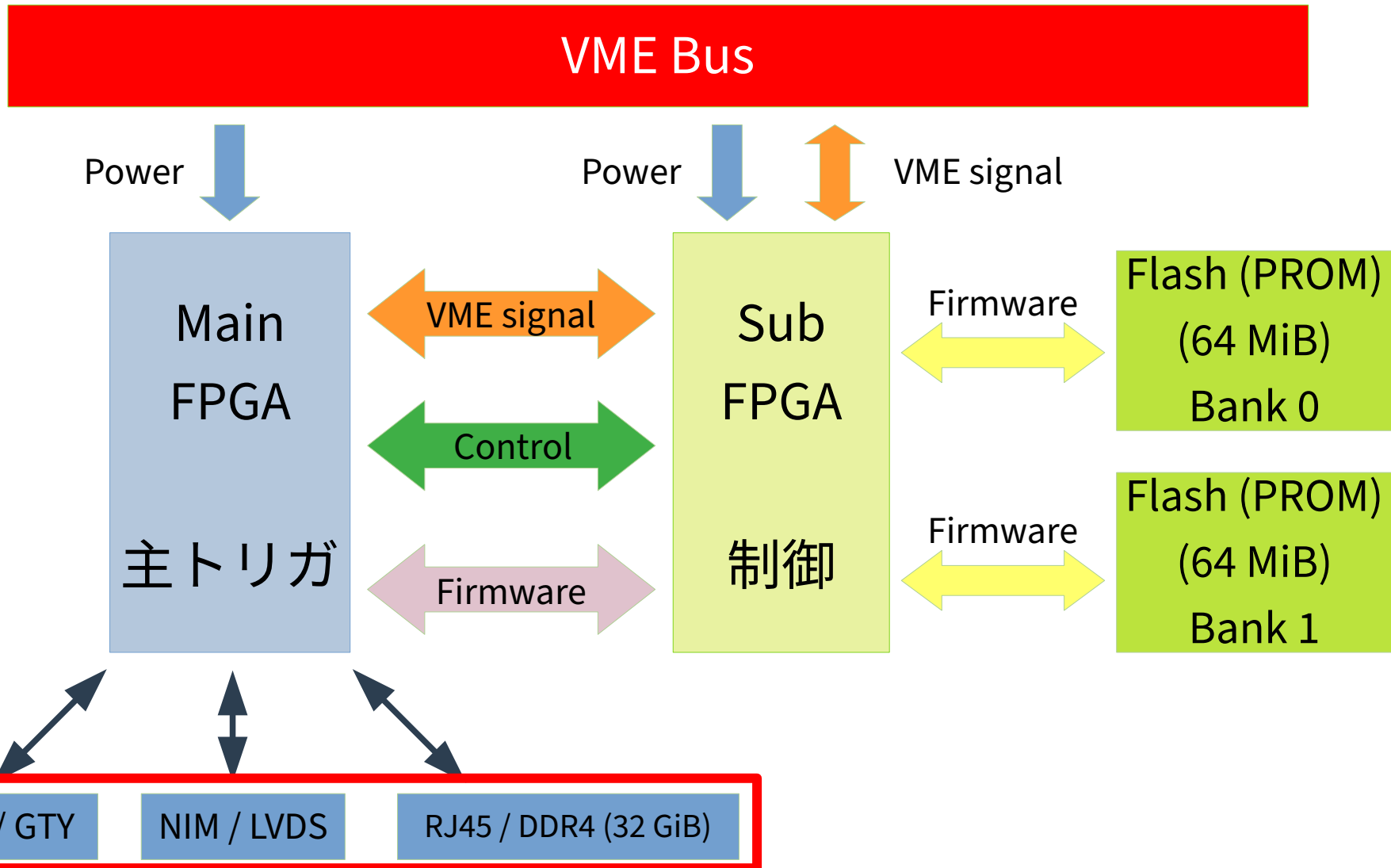
# Conclusion

**Belle II** では **Belle** より **40** 増強したルミノシティに併せて、トリガシステムにもっと厳しい条件が要求される

**UT4** は次世代の汎用トリガボードとして、現用の **UT3** よりもっと大きい容量を持ち、この厳しい要求事項に対応することが出来る

本研究では、その利用のために基本となる **Sub FPGA** の **Firmware** を実装し、その性能と信頼性を評価した

# Ongoing Tasks / Plans



# Ongoing Tasks / Plans

VME Bus

光通信の帯域幅 (総合)

1300 Gbps

内部独立 RAM

DDR4 32 GiB

これを使う為に Interface が開発中!

Firmware

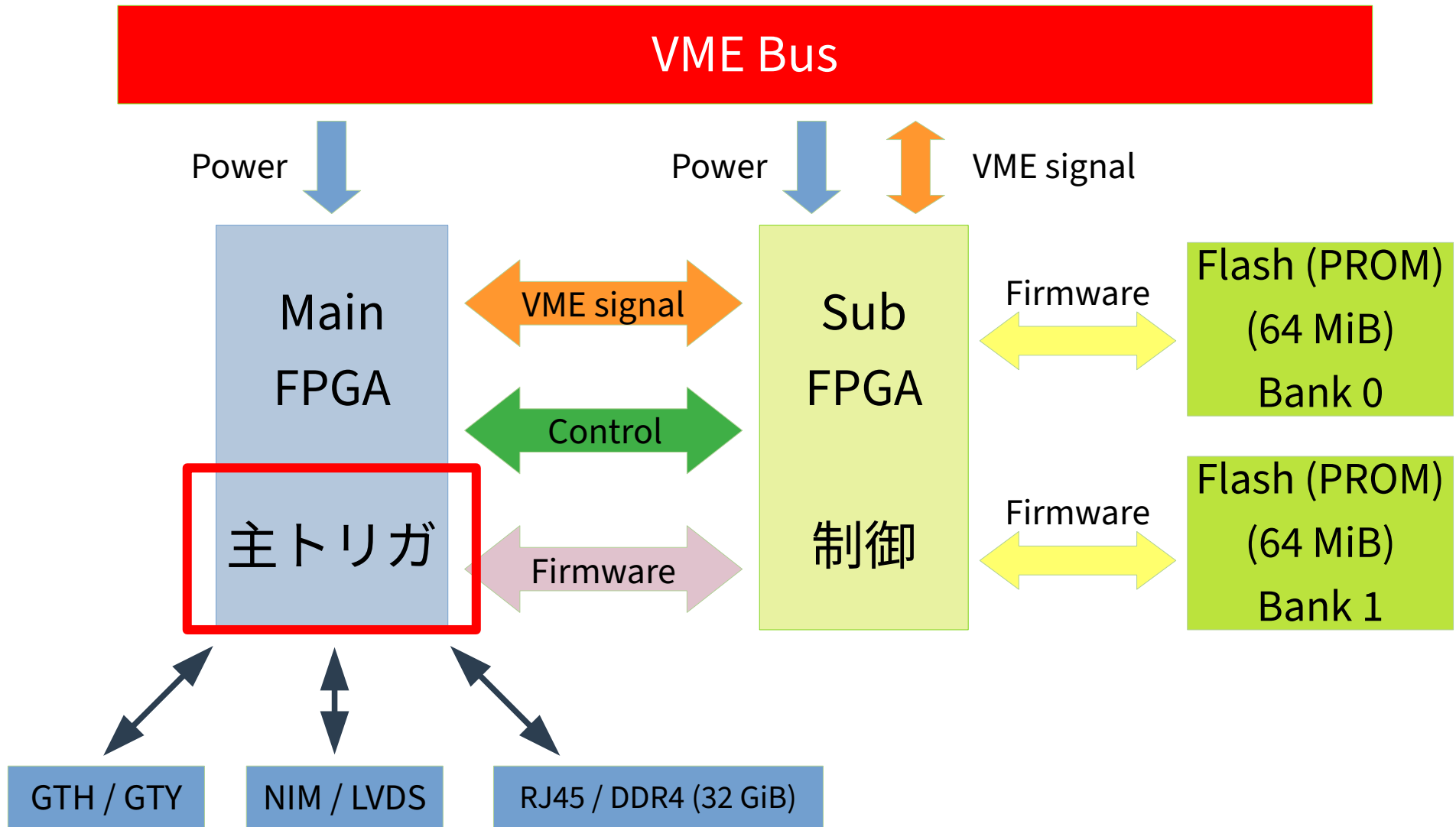
GTH / GTY

NIM / LVDS

RJ45 / DDR4 (32 GiB)

Bank 1

# Ongoing Tasks / Plans



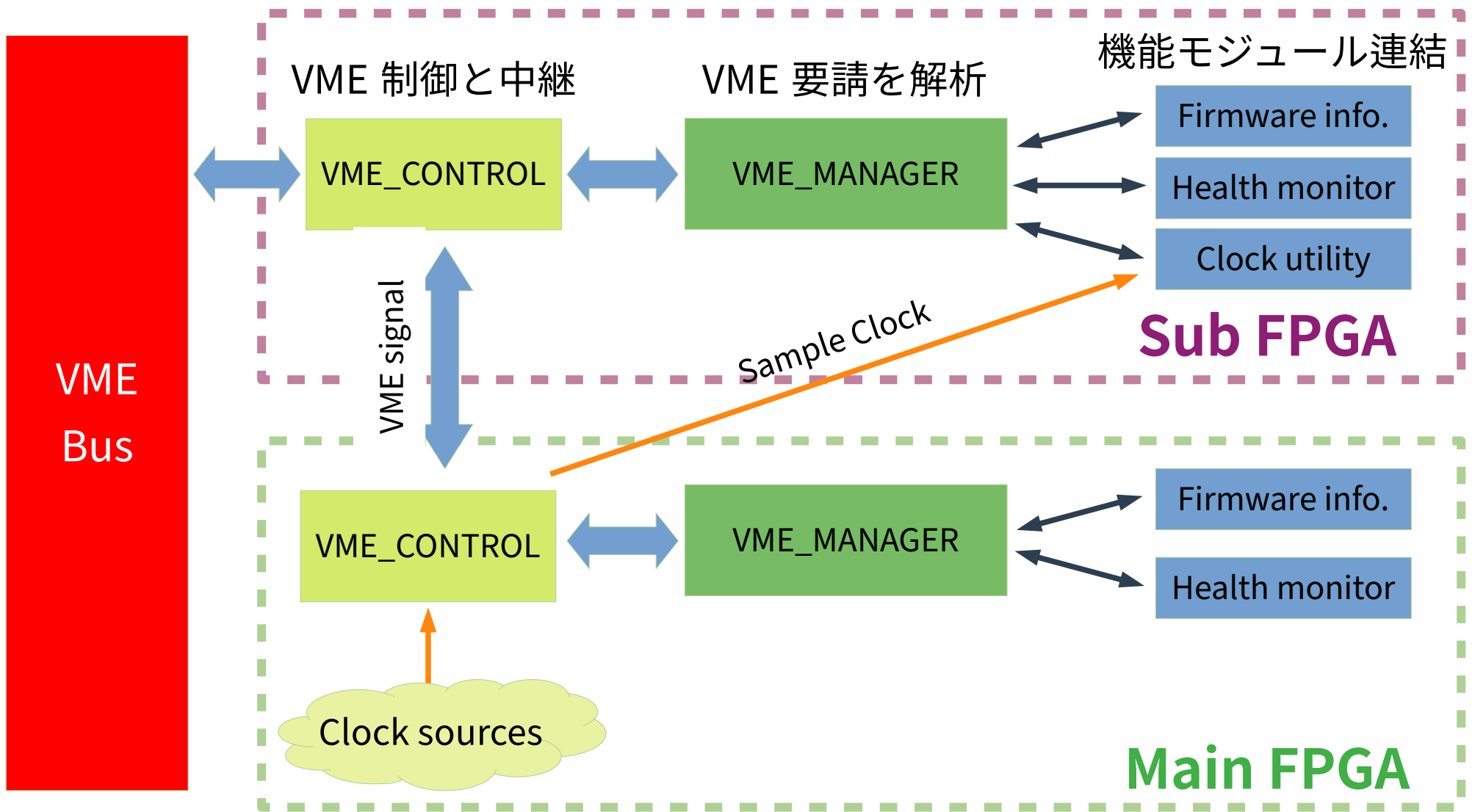


# Backups

# Basic Requirements for using of UT4 boards

1. **Slow control** で **UT4** の状態をコントロール
2. **Clock** や温度、電圧などを監視
3. **UT4** で走ってる **Firmware** が何の種類か確認
4. **Remote** で **Firmware** を入れ替えて、動作を管理
5. **Main, Sub FPGA** を始動させ、作動に適切な状態へ移らせる

# The structure of VME modules



# L1 Trigger Systems of Belle II

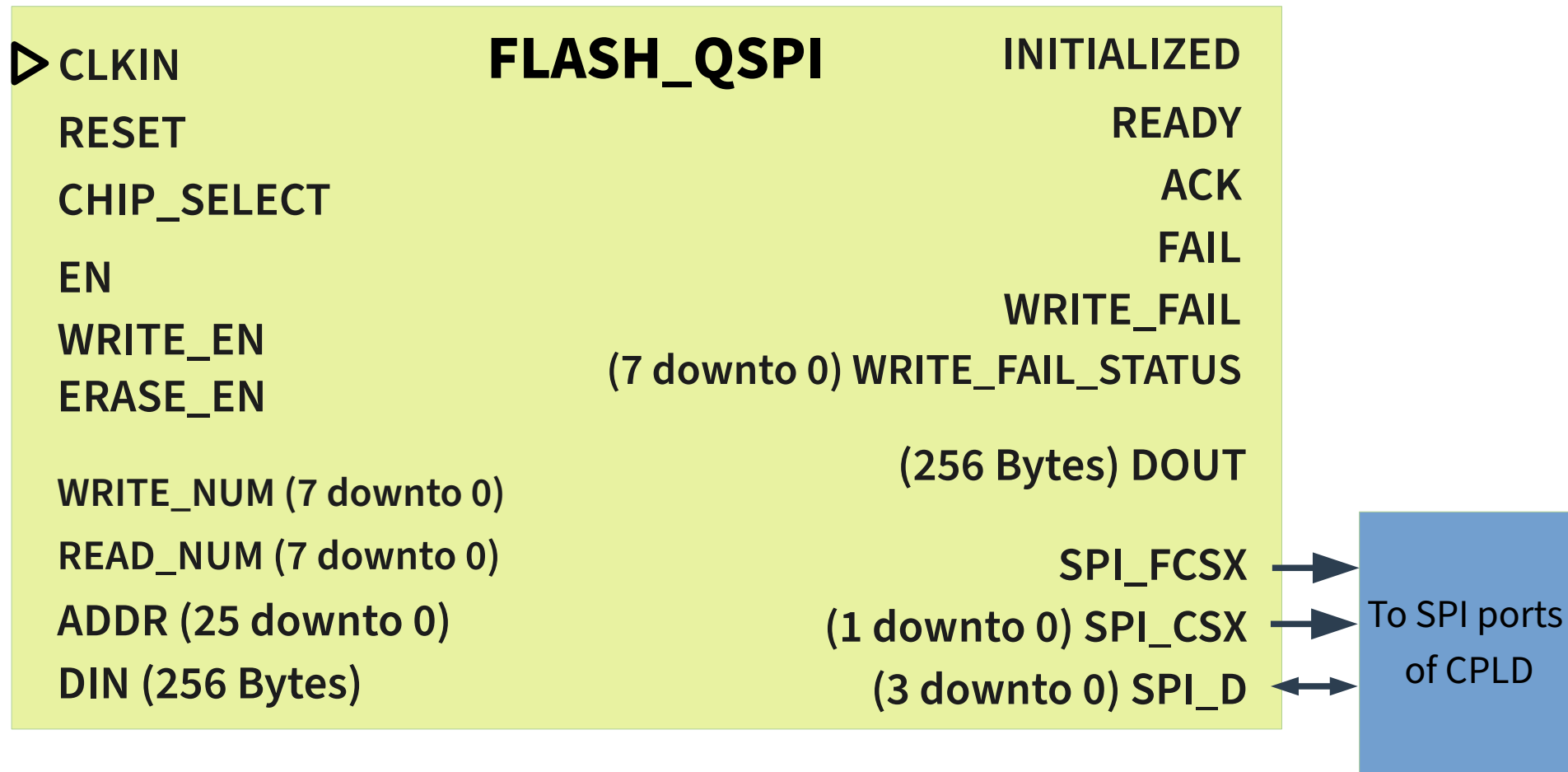
Belle II 測定器の各検出器からのデータを収集したい物理事象を判別するハードウェア。

精巧で速いトリガが欲しい！

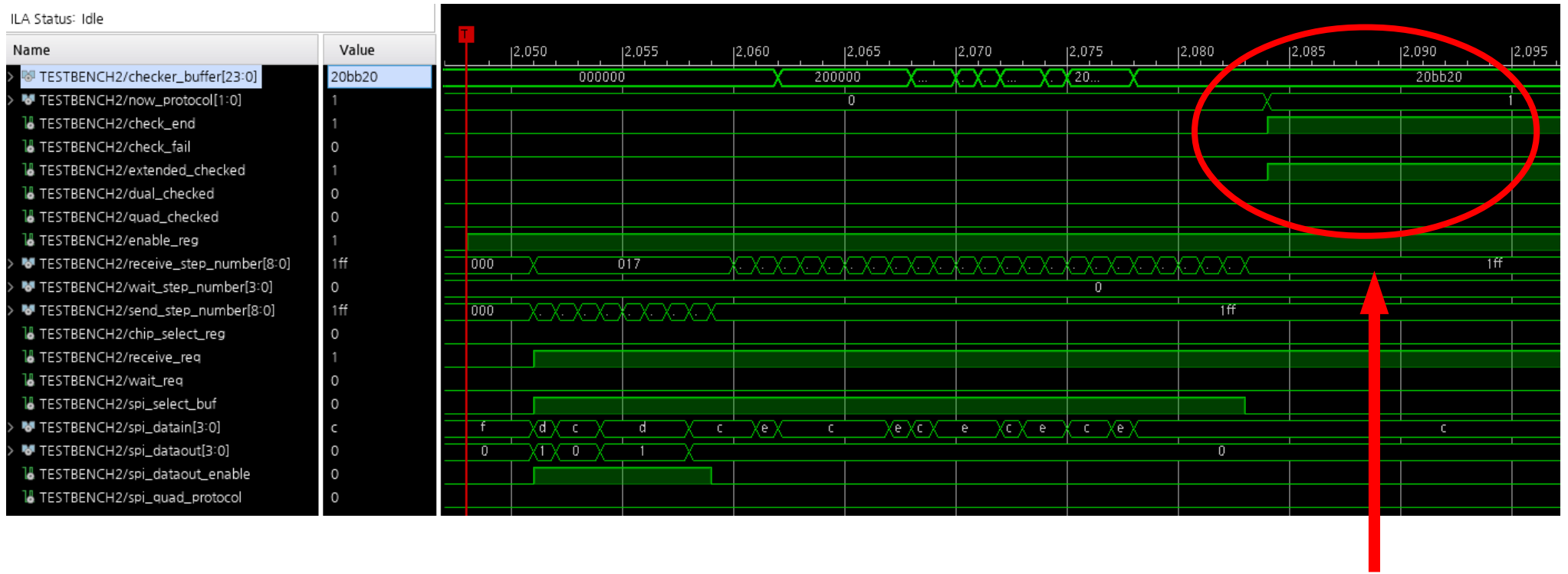
様々な検出器からのデータを収集するための Universal Trigger Board (UT) を使っ

最大平均 Trigger rate が 30kHz 以下となる事、トリガの遅延が 5us 以下になる事などの厳しい条件が要求される

# Block diagram of the module

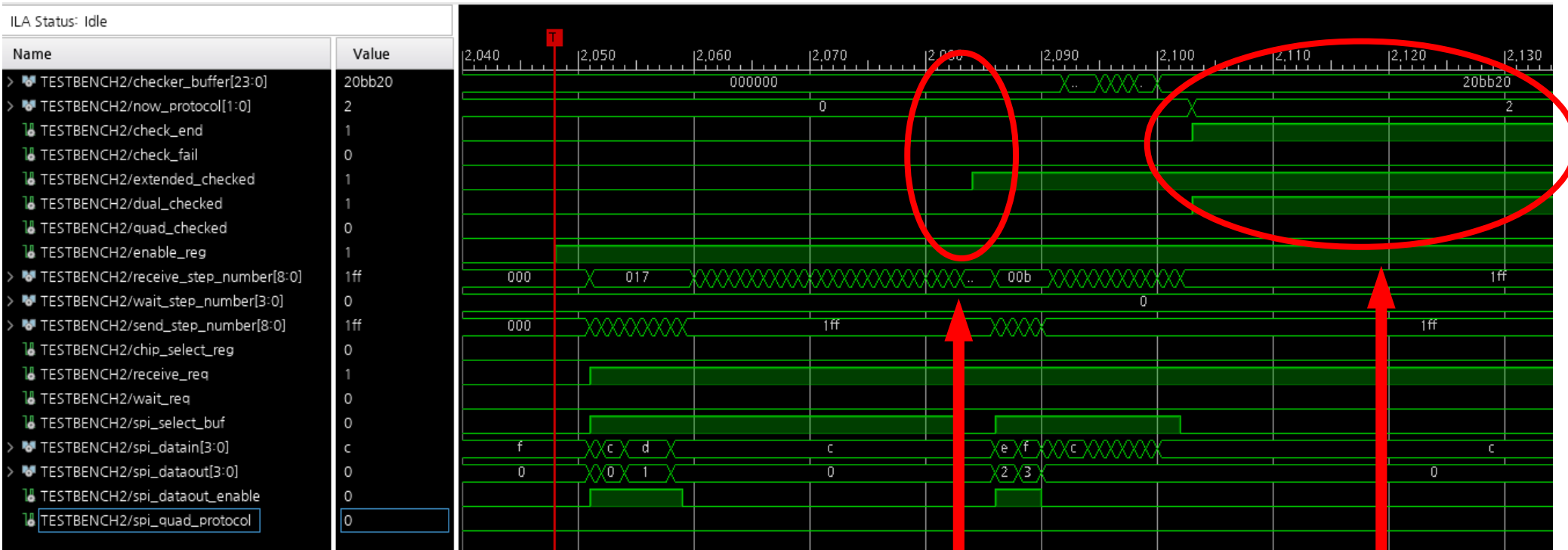


# Test 1 – in extended protocol



The module can get “0x20BB00” in extended protocol!

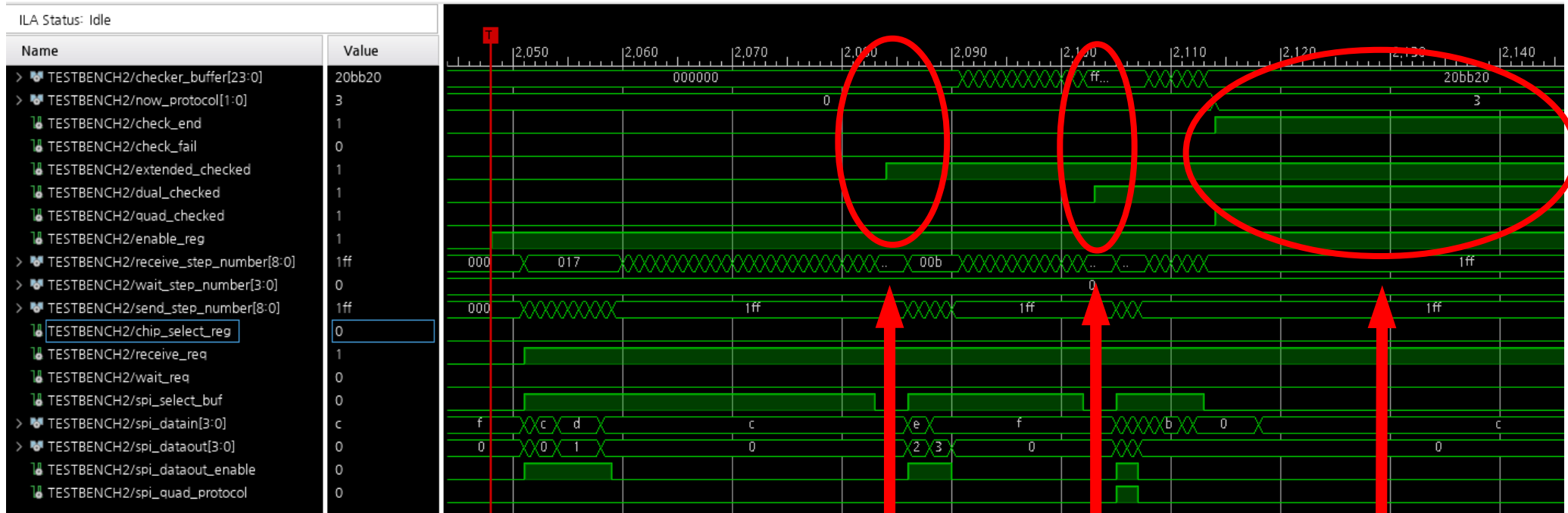
## テストその 2 – Dual protocol の状態で



Fail to get the “0x20BB20”... πππ Go to the next protocol

The module can get “0x20BB00” in dual protocol!

# テストその 3 – Quad protocol の状態で



Fail to get the “0x20BB20”... ππ Go to the next protocol

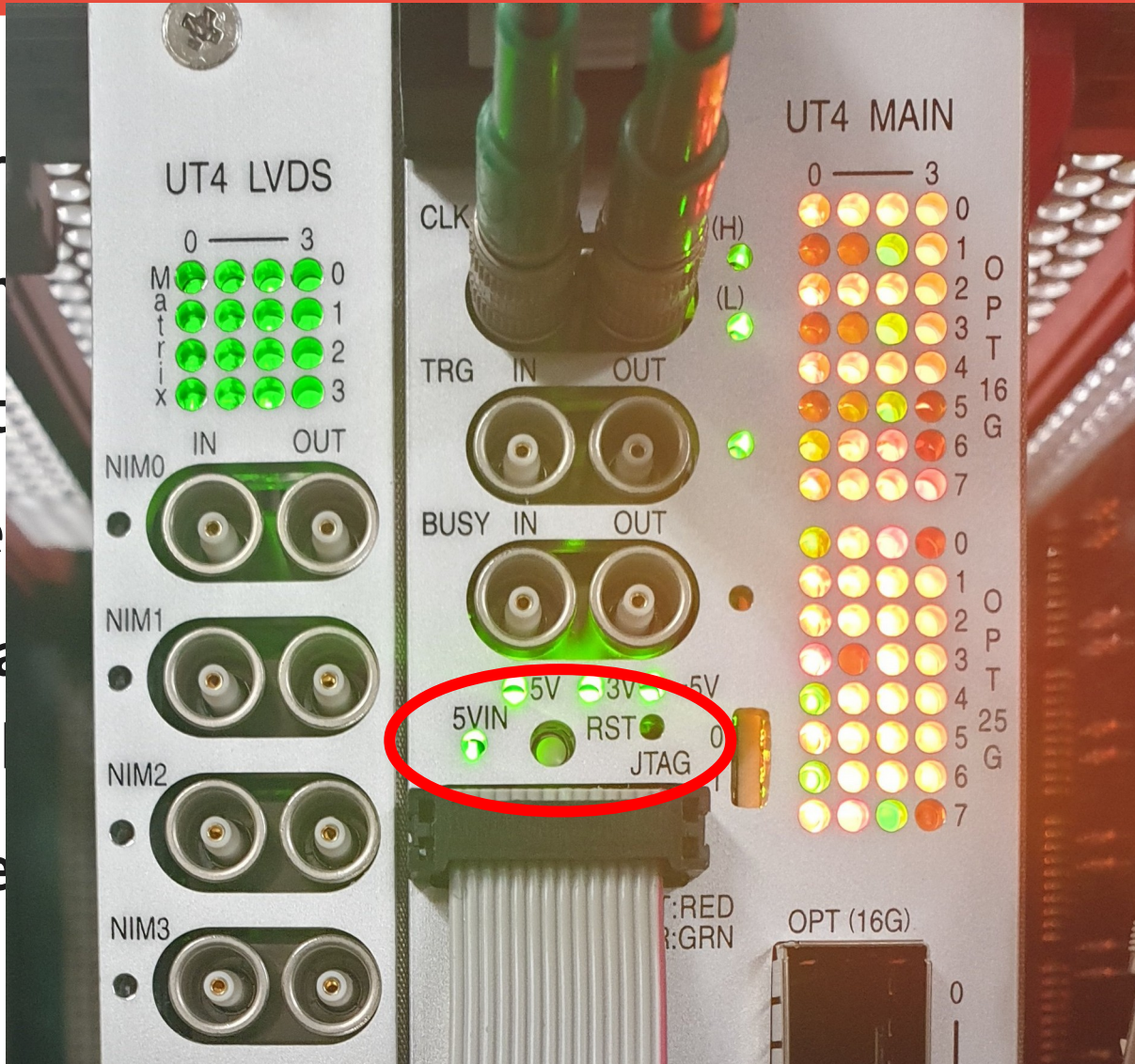
Fail to get the “0x20BB20”... ππ Go to the next protocol

The module can get “0x20BB00” in quad protocol!



# Tentative features of A7 firmware

1. Monitor
2. VME con
3. I/O cont
4. Manage
5. UltraSca
6. Indicate



UltraScale

n (by

# Tentative features of A7 firmware

1. Monitor the status of clocks and health of A7 and UltraScale
2. VME communication
3. I/O control for flash memory
4. Manage hard / soft reset
5. UltraScale configuration after boot or in operation (by requests through VME)
6. Indicate now very basic status through LED

# Tentative features of A7 firmware

1. Monitor the status of clocks and health of A7 and UltraScale
2. VME communication
3. I/O control for flash memory
4. Manage hard / soft reset
5. UltraScale configuration requests through VME
6. Indicate now very b

Expectation of logic gates usage  
of A7: about 70%

# The structure for the UltraScale configuration

