

# ハイパーカミオカンデのための タイミング同期システムの開発

泉山将大 (東京工業大学)

2020年2月18日

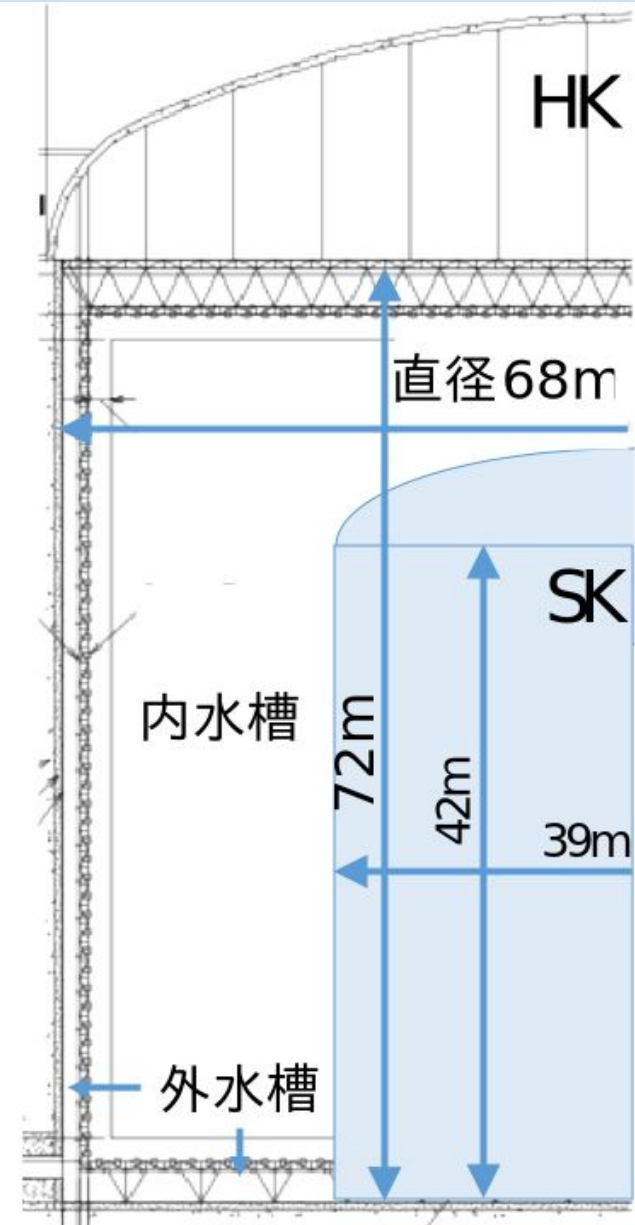
ICEPP シンポジウム @ 志賀高原



# Hyper-Kamiokande

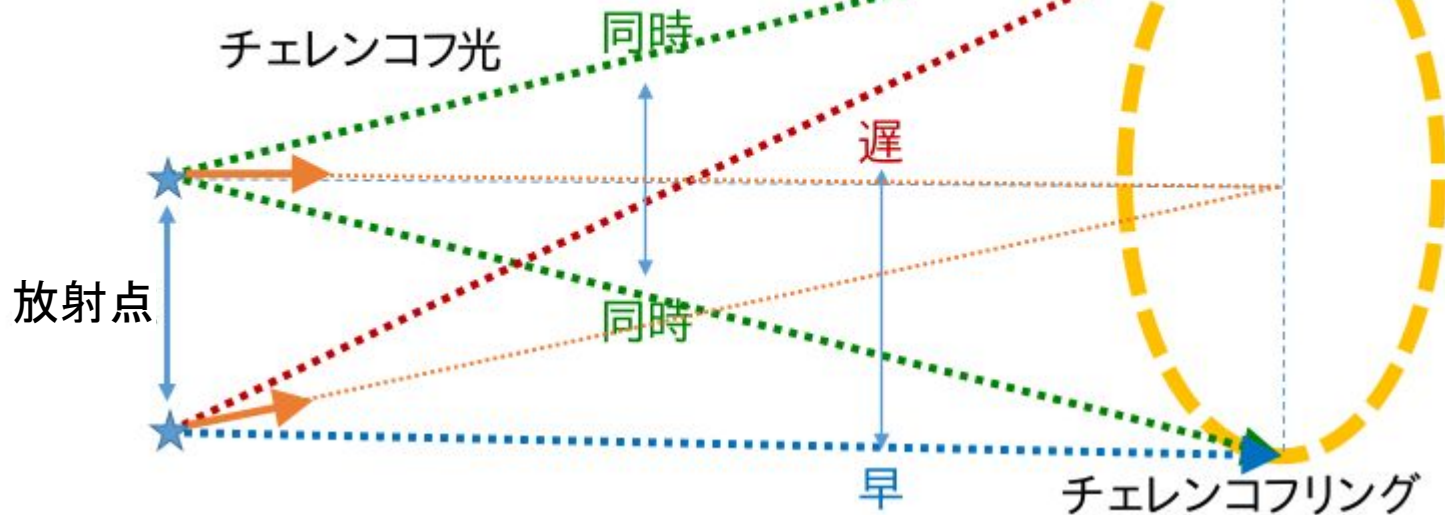
# ハイパーカミオカンデ実験 (HK)

- ニュートリノ物理の将来実験
  - レプトンセクターにおけるCP対称性の破れの測定
    - $5\sigma$ の発見へ (現在  $2\sigma$ 、T2K)
  - 質量階層性の決定
  - 超新星ニュートリノの観測
  - 他: 陽子崩壊による大統一理論の直接探索
- 巨大な水チェレンコフ検出器
  - 直径68m、高さ72mの円筒形
    - スーパーカミオカンデ (SK)の8倍の有効体積
  - 内水槽にPMTを4万本設置する計画
- 2027年観測開始に向けて検出器の各要素でR&Dを行っている



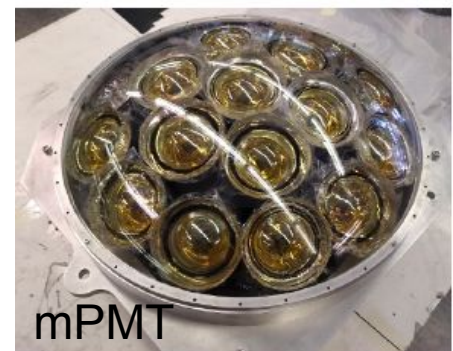
# 水チェレンコフ検出器

- ニュートリノ反応等により生じる高速荷電粒子が円錐状に光子を放射
- 光子ヒットの位置、時間、強度分布から事象を再構成
  - 反応点、方向、エネルギー、PIDなど
  - 時間情報の非一様性から放射点分かる
- エレキを含めた光検出器の時間分解能が再構成性能に直結
- HKに向けたディジタイザは外部クロックで動かす事を計画  
→検出器全体の時刻の同期が必須

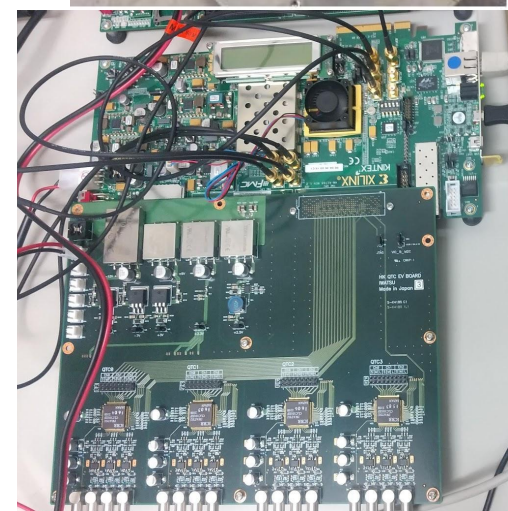


# エレキ・光検出器の性能・要求

- 光検出器: SKから50cmのPMTを改良
  - 2倍の1pe検出効率 (QE:20%→30%)、  
2倍の時間分解能 (2 ns→1 ns)
  - + multi-PMT: よりよい時間分解能 ~ 0.6 ns
- デジタルイザ
  - 時間分解能 (要求値): < 250 ps: 光検出器の性能を最大限活かすように
  - 日本では、QTC + TDCでのプロトタイプを開発中
  - TDCのサンプリングレート (プロトタイプ):  
4 GS/s → 250 ps



mPMT

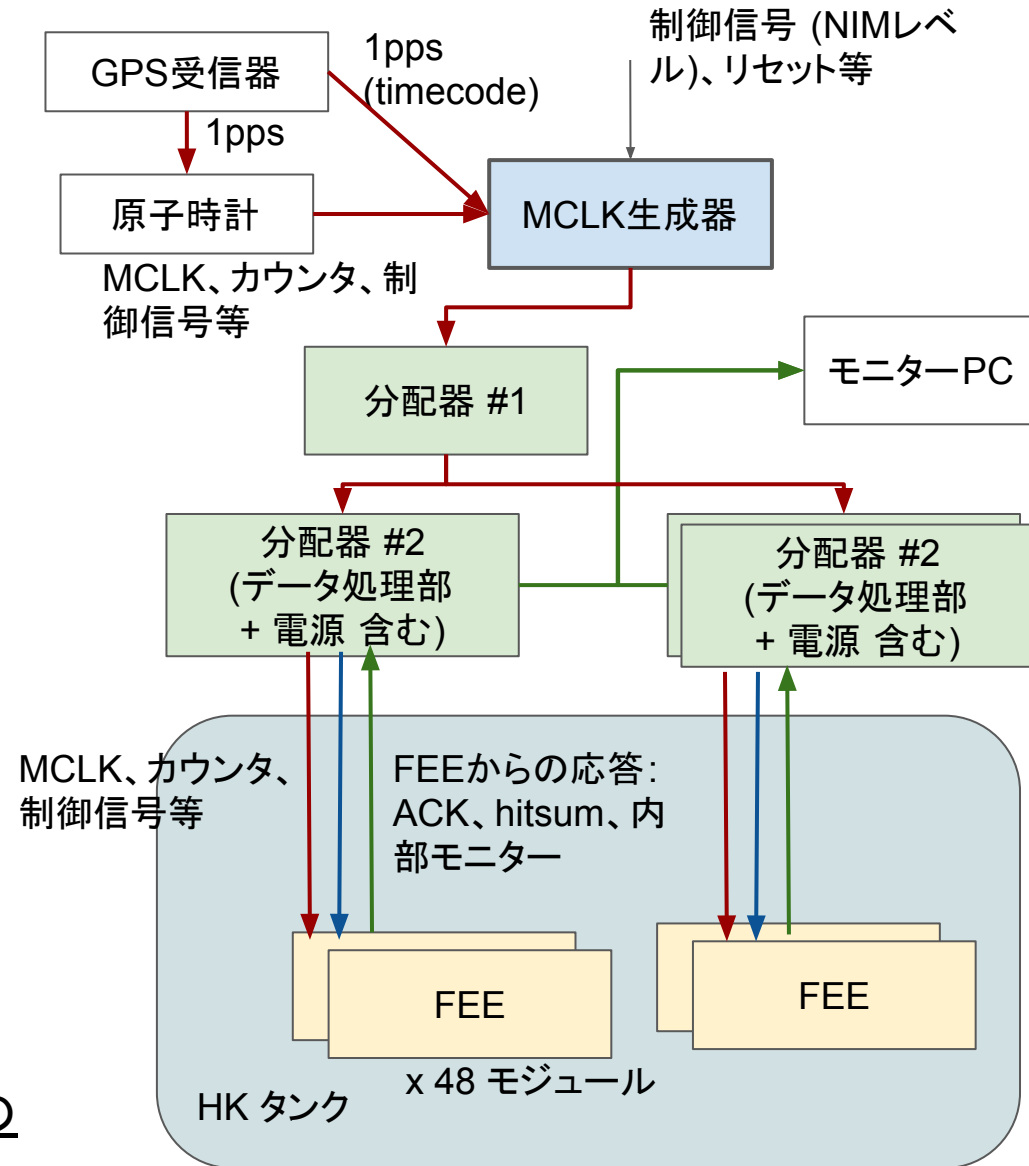


QTC+TDCのプロトタイプ (片岡さん) →

→ 同期システム: <100psの安定性を要求

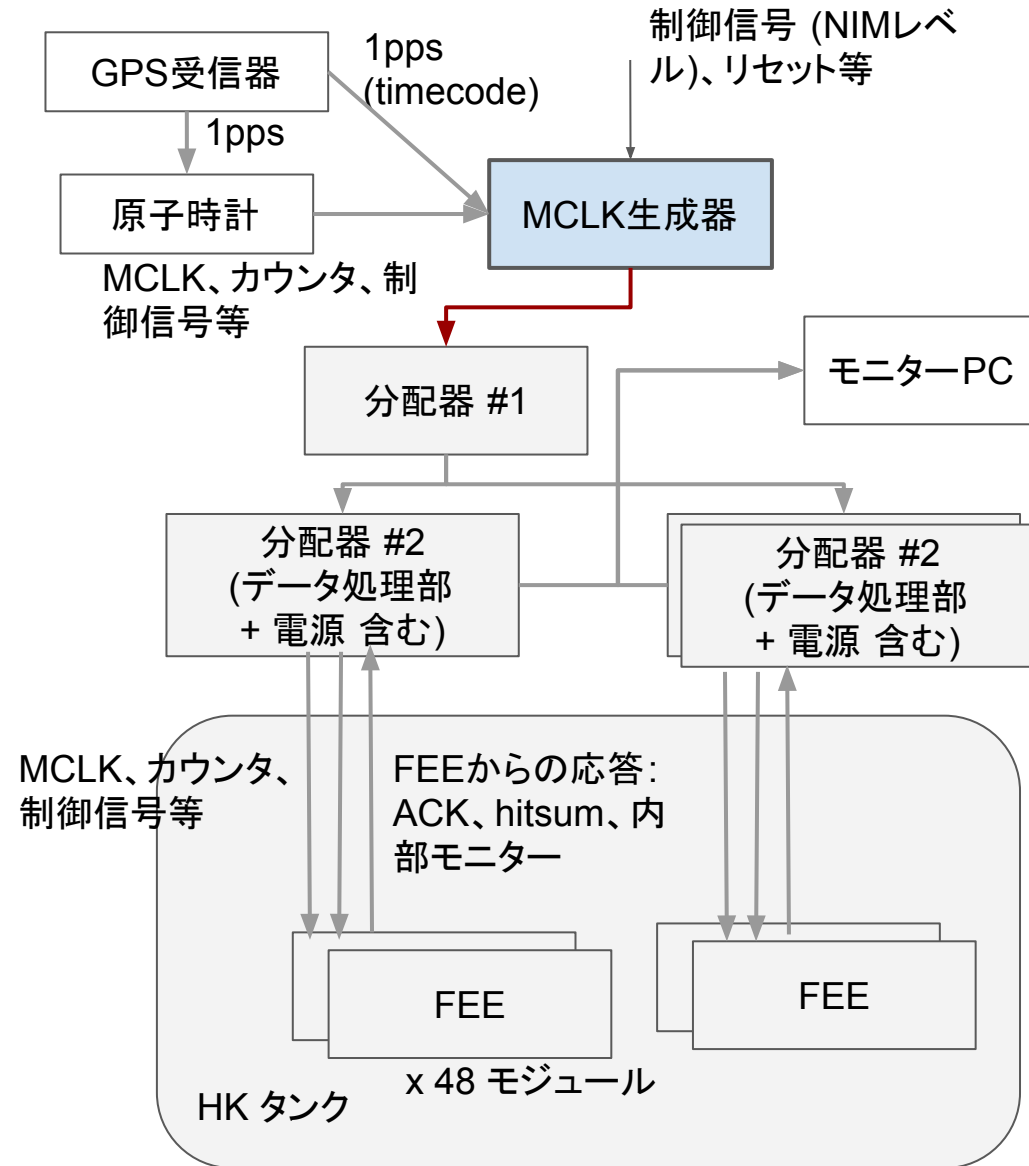
# タイミング同期システムの全体像

- スーパーカミオカンデ (SK) での経験を元に設計
  - 一つのマスタークロック (MCLK)、カウンタを全体に配布して同期
- New!: FEの水中への設置
  - ケーブルを敷設すると重量オーバー
  - PMT信号の劣化を避ける
- → FEEとの通信を光ファイバーに
  - UTPでは最大長が100mでHKにはギリギリ
  - SKからの新たな要素
  - 光-電気信号の変換で時間のふらつきが増加 → 要評価



# 各要素: MCLK生成器

- システムの要
- 同期信号の生成
  - MCLK: 125 MHzのクロック
    - 長期安定性のため原子時計から生成
  - カウンタ: タイムスタンプ
    - T2Kビームとの同期のため、GPSに同期
- 全体の制御
  - VETO、トリガー、リセット
  - ファームウェア
- 2本の信号ラインで伝送
  - MCLKと、それ以外
  - データはシリアル伝送



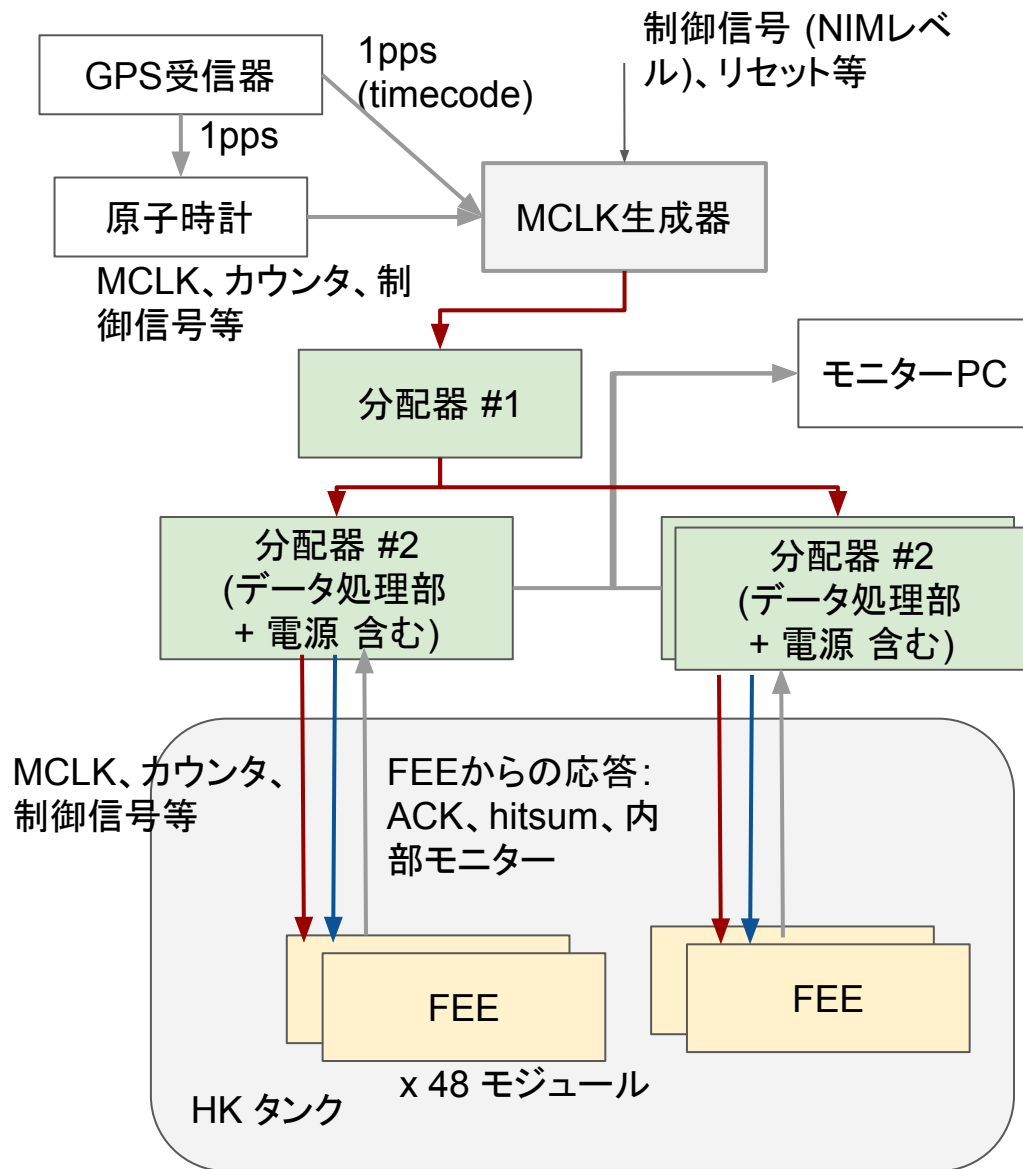
# 各要素: その他

## ● FEE内の受信器

- MCLKを受信しFEE内に供給
- FEE内部の状態を収集し送信
  - Hitsum: 一定時間内の光子検出数
  - PMT検出データのバッファ
  - 容器内の温度など

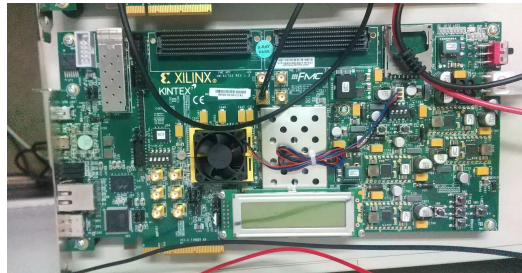
## ● 分配器: 各FEEへ届ける

- 同期信号をカスケード 1:50
- 2段構成 → 2500 FEEs
- FEEの状態の収集
- 電源、データ線のハブ



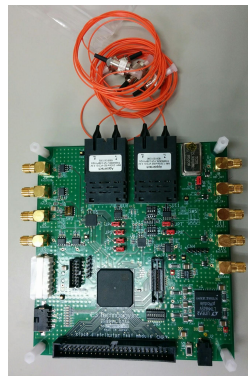
# プロトタイプ

- MCLKの時間的なふらつき  
(ジッター) → 同期の精度  
→ 伝送経路で使う要素を試験
  - FPGA、光通信器、光ファイバ等
- ボード1
  - MCLK生成器 + MCLK受信部
  - 一つのFPGA内に実装

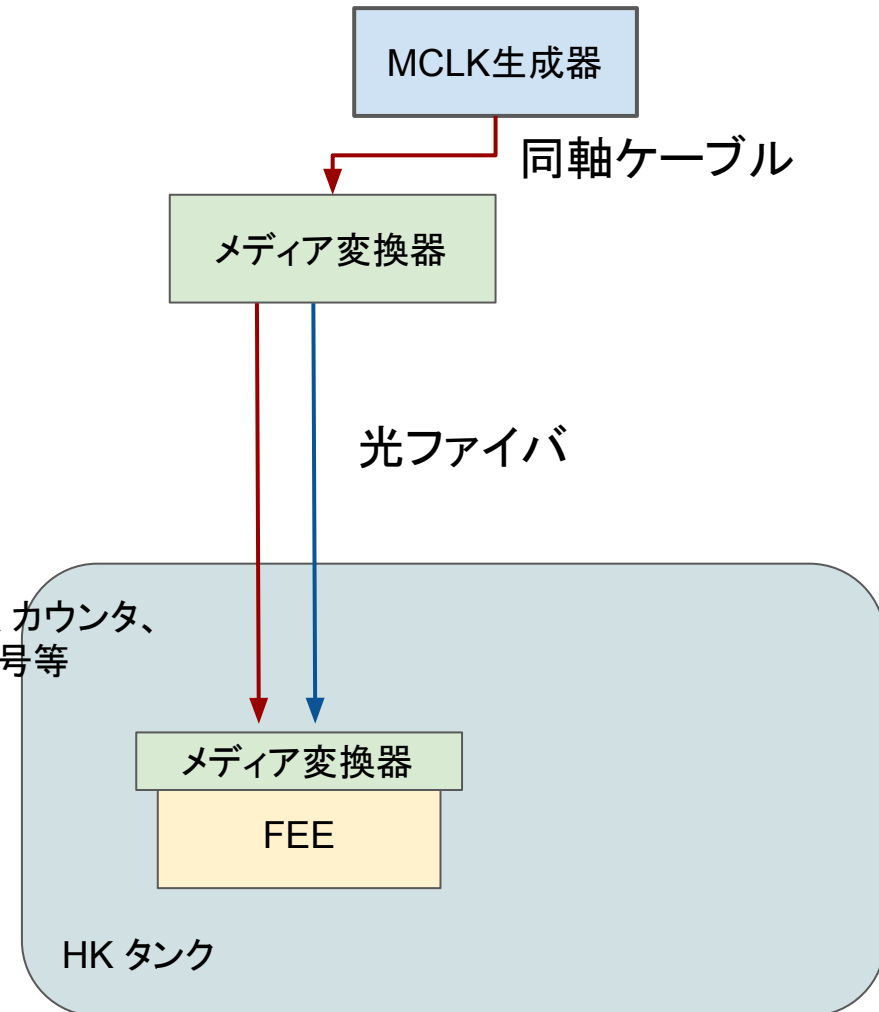


## メディア変換器

- 光送受信器を用意し、  
光通信を試験



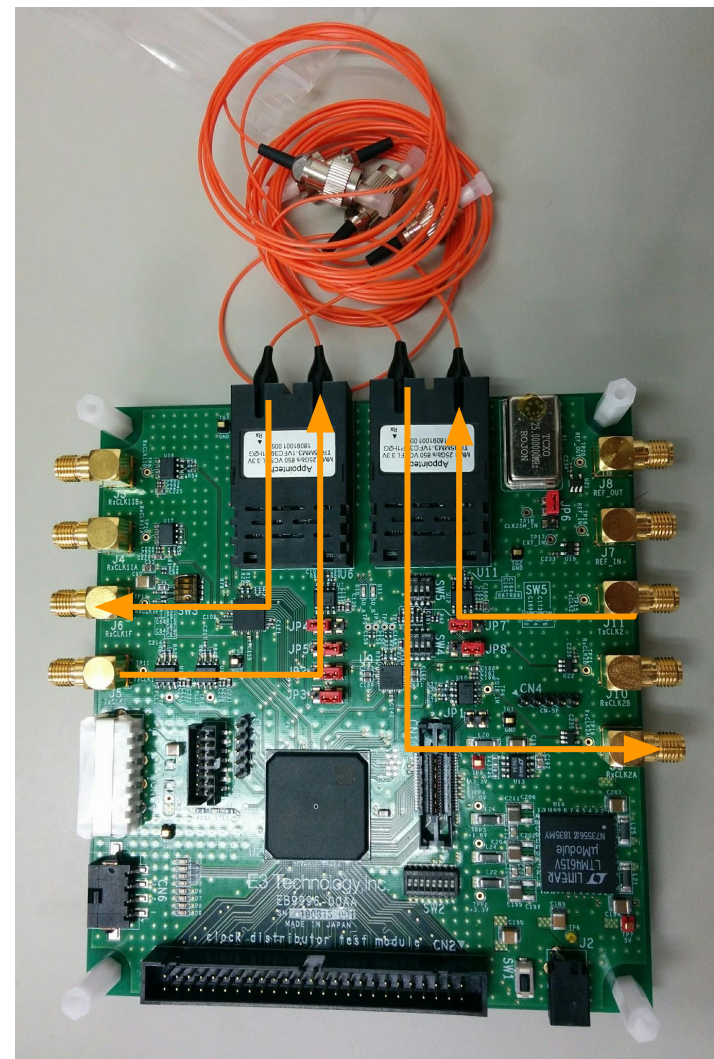
MCLK、カウンタ、  
制御信号等





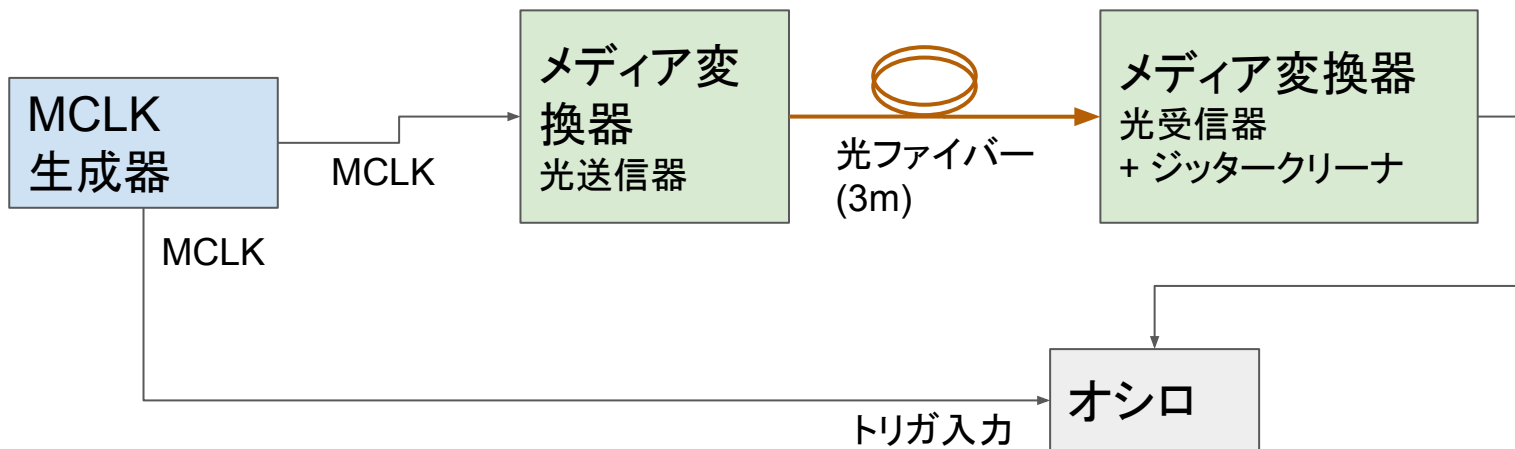
# 光モジュール

- 伝送経路において、ジッターに最も大きく寄与すると懸念
  - 典型的には50 ps程のジッター
- ジッター評価用ボードを開発
  - 光ランシーバ (GBIC): 2台
    - Appointech社 TR85MM3
  - ジッタークリーナIC: 2種類
    - クロックの時間的ふらつきを安定化させるIC (CDCM6208, CDCE62002)
    - 内部にPLLを持ち  
1.6 ps (RMS, 典型値)と小さなジッタ
  - FPGA (Artix-7): 1台
- 今回はFPGAは使わずメディア変換器として利用



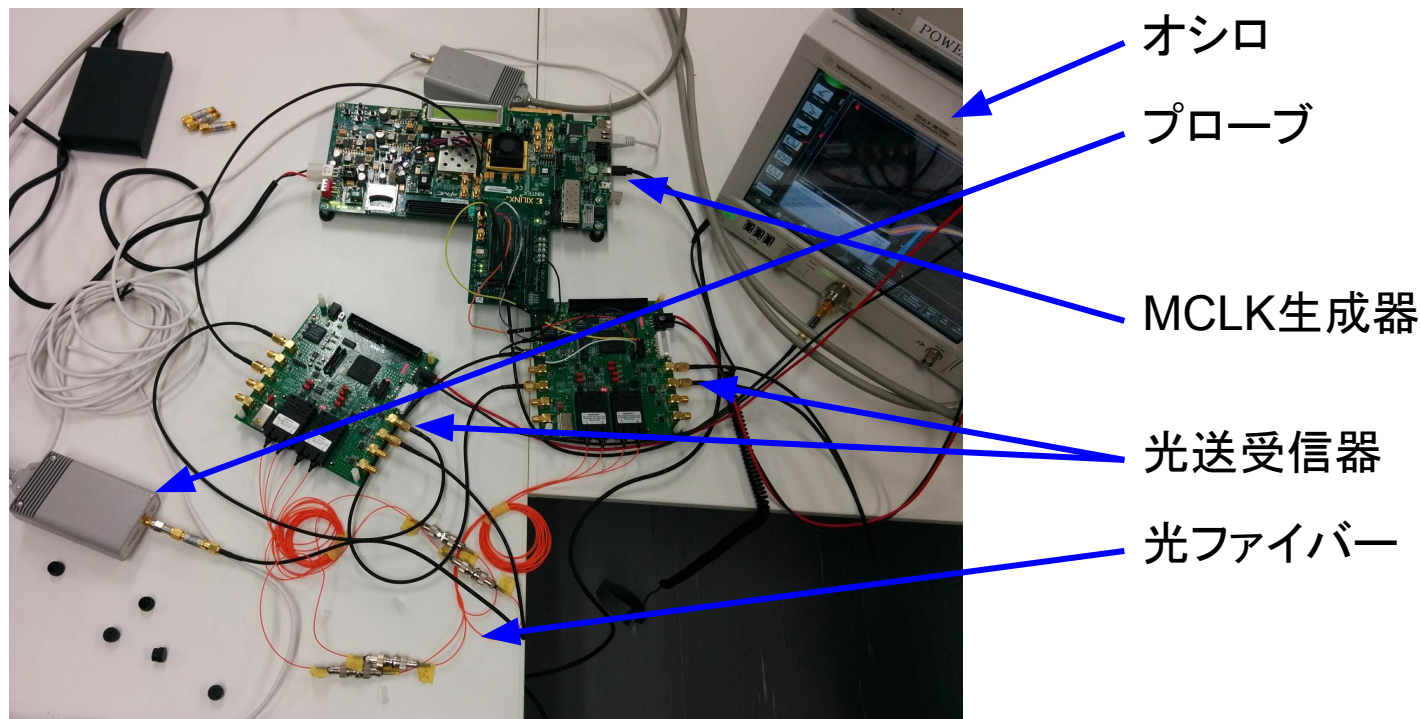
# ジッター測定

- 東大VDECでジッターを測定
  - 所有するオシロ (1GHz帯域)では見たいジッターぎりぎりの性能
  - オシロ: Agilent DCA-X 86100D + 86118A: 帯域幅 70 GHz
- 測定項目: 125 MHzのMCLKの伝送について
  - 光送受信器によるジッター
  - ジッタークリーナーの効果

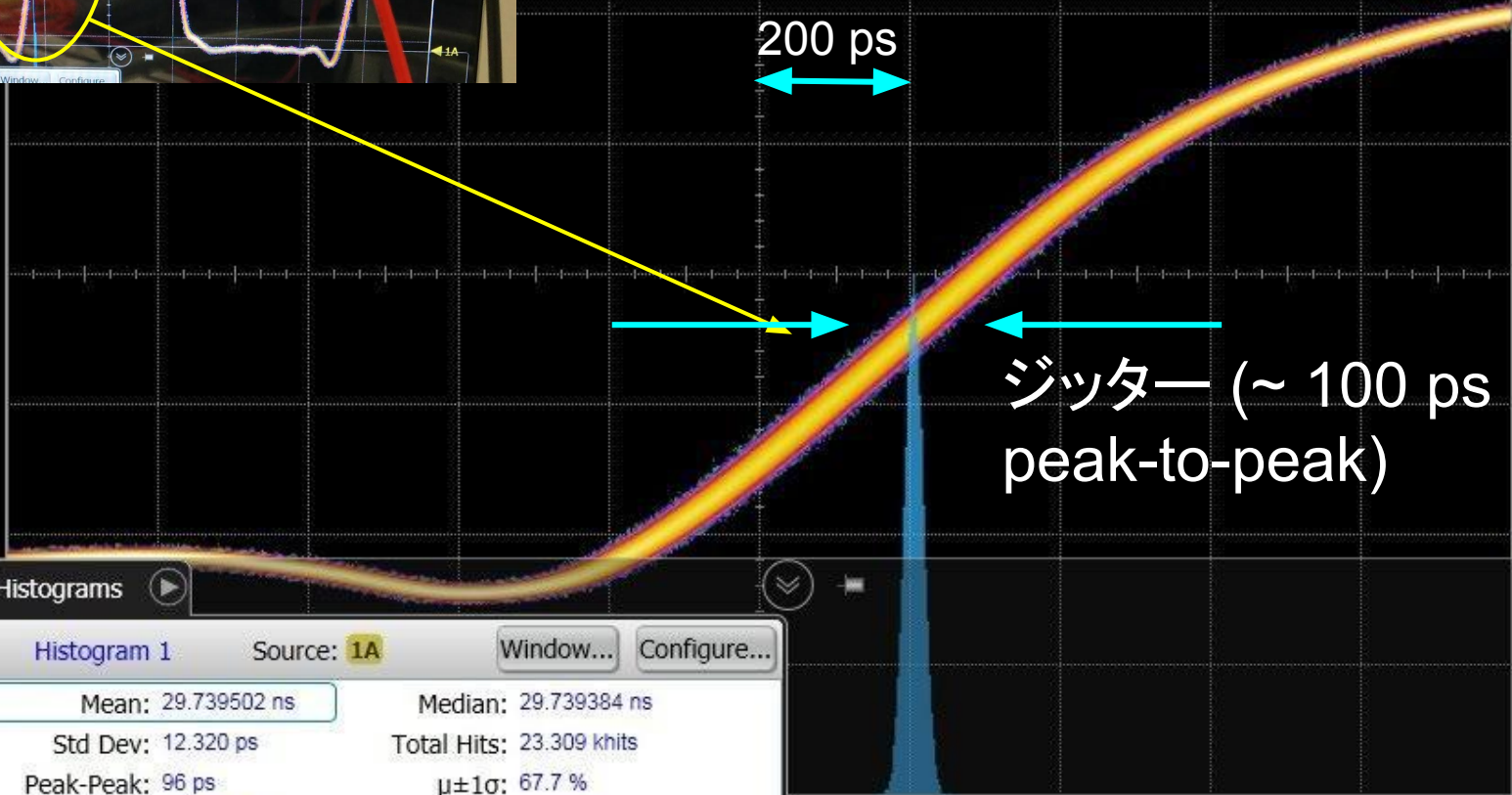
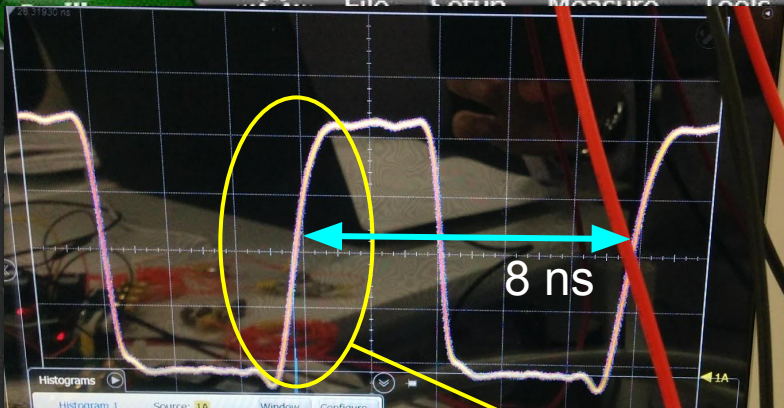


# ジッター測定

- 東大VDECでジッター (時間的なふらつき)を測定
  - 手持ちのオシロより高性能なオシロを借りた
  - オシロ: Agilent DCA-X 86100D + 86118A: 帯域幅 70 GHz
- 測定項目: 125 MHzのMCLKの伝送について
  - 光送受信器によるジッター
  - ジッタークリーナーの効果



# MCLKの波形



Histograms

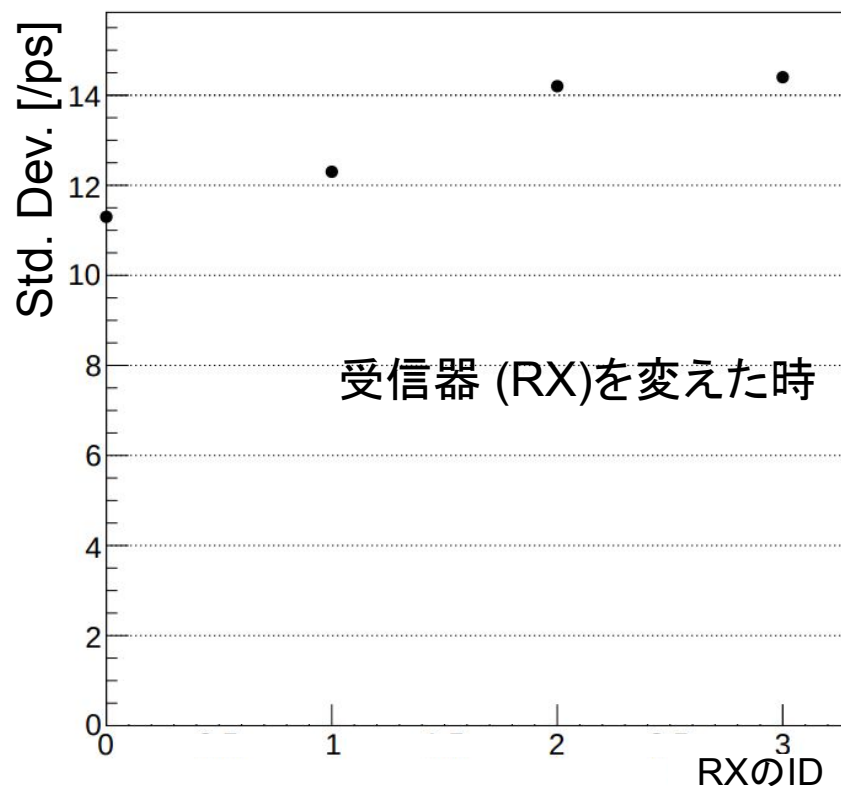
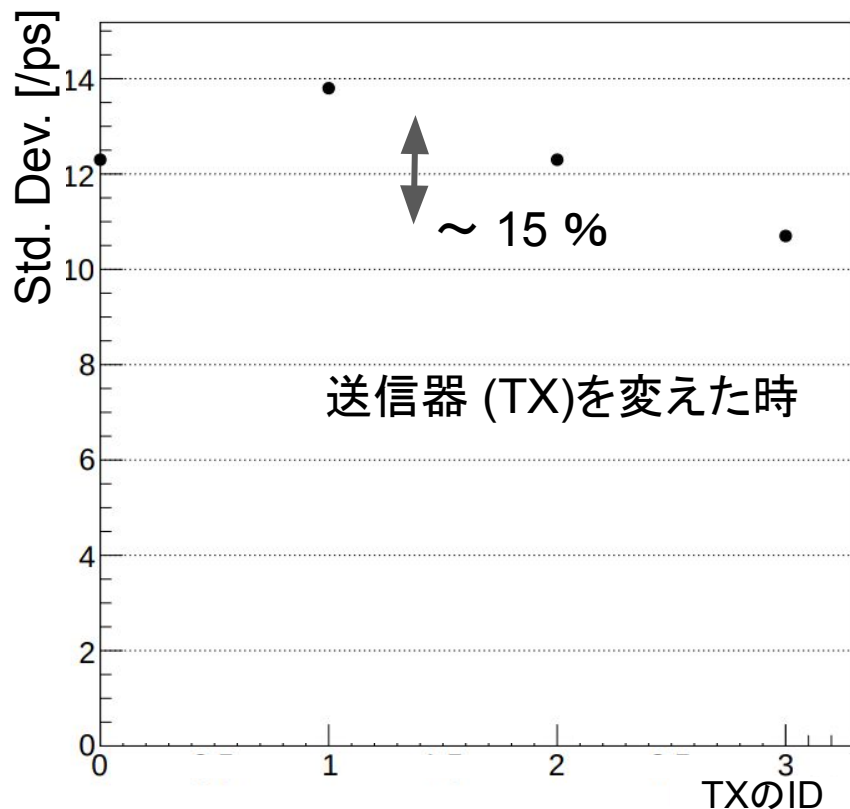
Source: 1A

Mean: 29.739502 ns	Median: 29.739384 ns
Std Dev: 12.320 ps	Total Hits: 23.309 khits
Peak-Peak: 96 ps	$\mu \pm 1\sigma$ : 67.7 %
Peak Hits: 2.042 khits	$\mu \pm 2\sigma$ : 95.5 %
Peak Position: 29.740 ns	$\mu \pm 3\sigma$ : 99.8 %

- Jitter
- Period
- $\Delta$  Time
- Frequency
- More (1/3)

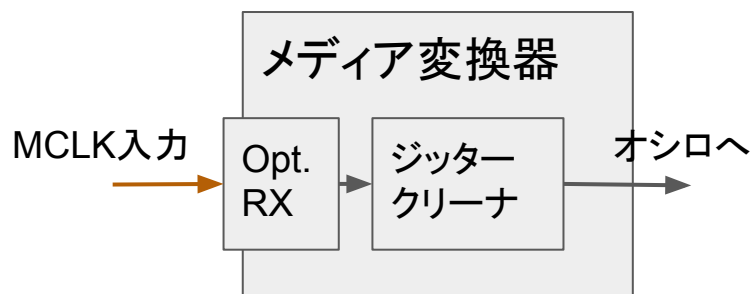
# 光送受信器によるジッターの違い

- 光送信器あるいは受信器、4モジュールをそれぞれ測定
- ジッター  $\sim 13 \pm 1$  ps (RMS),  $\sim 100 \pm 10$  ps (peak-to-peak)
  - ジッター: MCLK生成器、伝送線、光送受信器などを全て含む
  - 送信器 (受信器)を変えたときの変化  
→それぞれのモジュールの違いに対応 (上のエラーに対応)



# ジッタークリーナICの評価

- メディア変換器のボード上に、ジッタークリーナICも搭載
  - PLLによって、周波数のジッターを除き安定化させるIC
  - 2種類のジッタークリーナを通した時を評価
- ジッター → ~2倍に
  - PLLはジッターを平均化するが、マスターと比較するときには元からあるジッター (今の場合はトリガCLKのジッター) も含むので、悪化したと考えられる
  - HKではFEE-FEE同士の同期を取りたいのでなくても十分な性能が出るなら入れる必要がない



IC	Std. Dev. [ / ps ]	p-p [ / ps ]
なし	12.3	96
CDCE62002	22.7	182
CDCM6208	24.9	190

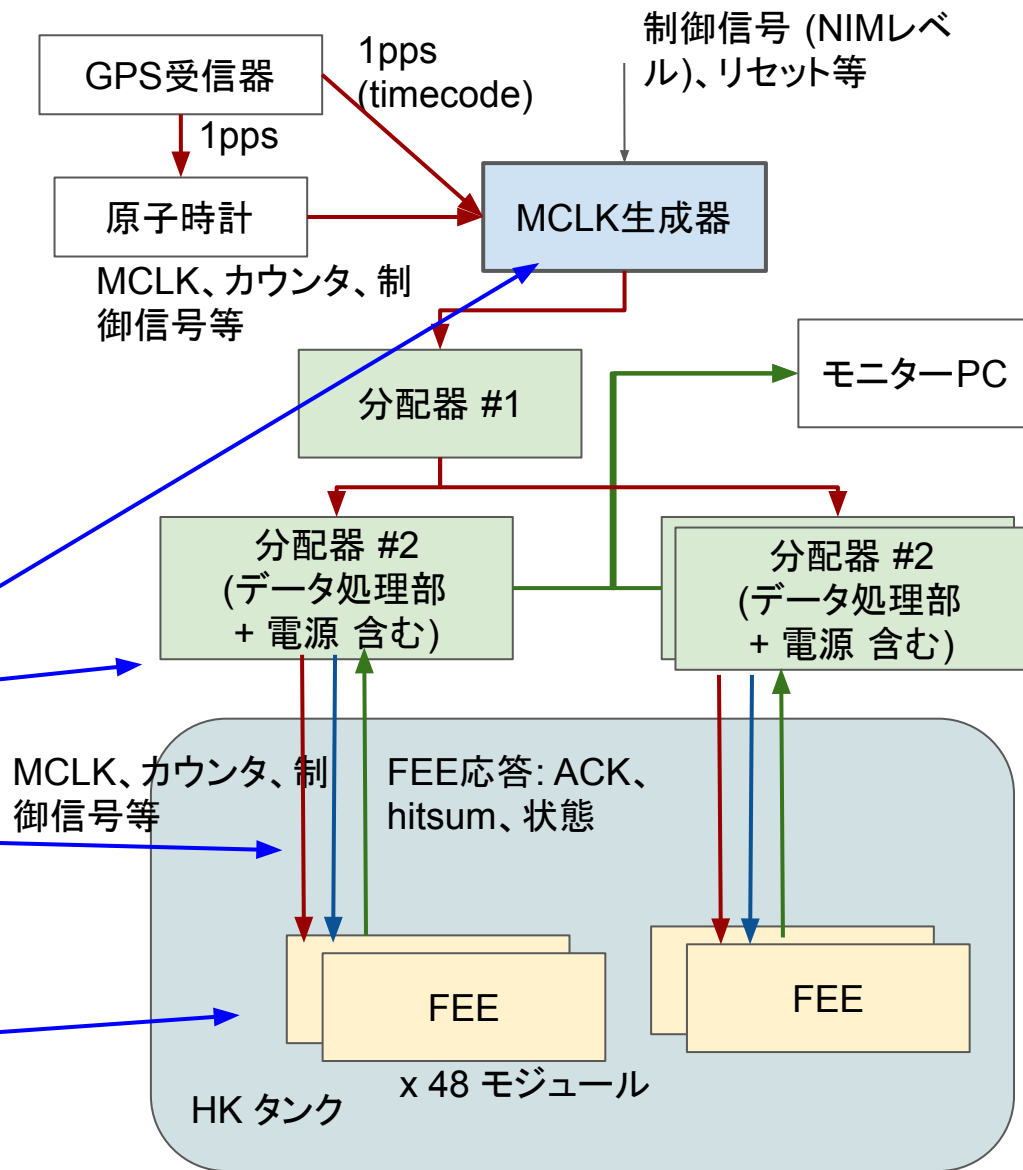
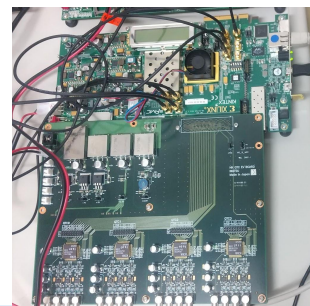
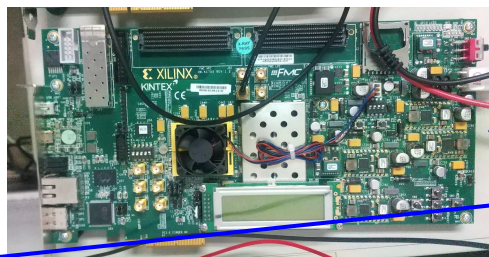
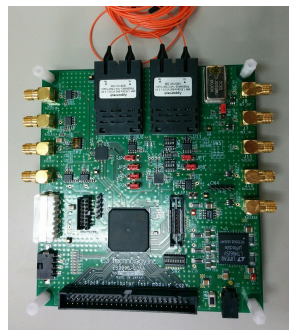
x 2

# 今後の予定

## 未確認事項

- 原子時計、GPS
- ファームウェアなどデータのやりとり

## 全体のプロトタイプを組上げていき、試験を行う



# まとめ

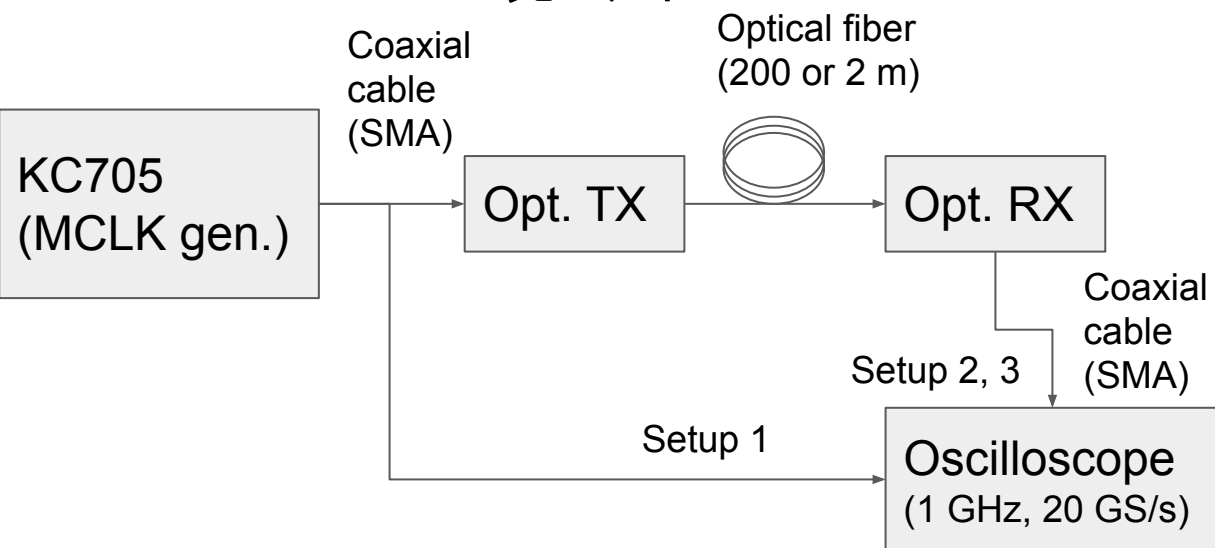
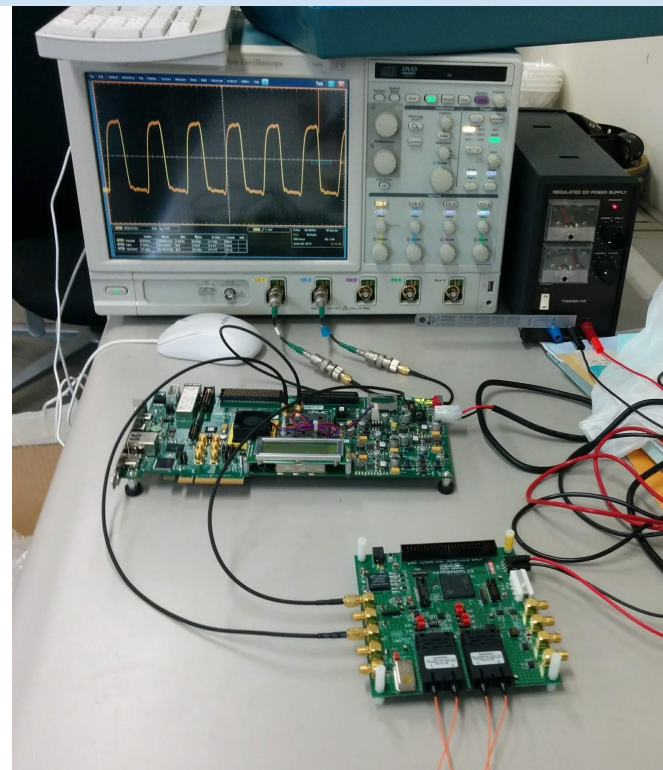
- HKは7年後の運用開始に向けて準備を進めている
- タイミング同期システムは、事象再構成、ニュートリノビームとの同期などのため必須
  - SKとエレキのデザインが変わるため新たに作り直す必要がある
- Sub-nsの同期を目指して開発を行っている
  - プロトタイプを作成しジッターを測定
  - 主要な要素である光送受信器からのジッターは15ps程  
→ Sub-nsは十分に達成できると考えられる
- 同期システムでの機能の試験のため、新たなプロトタイプの開発を進めている



# Backup

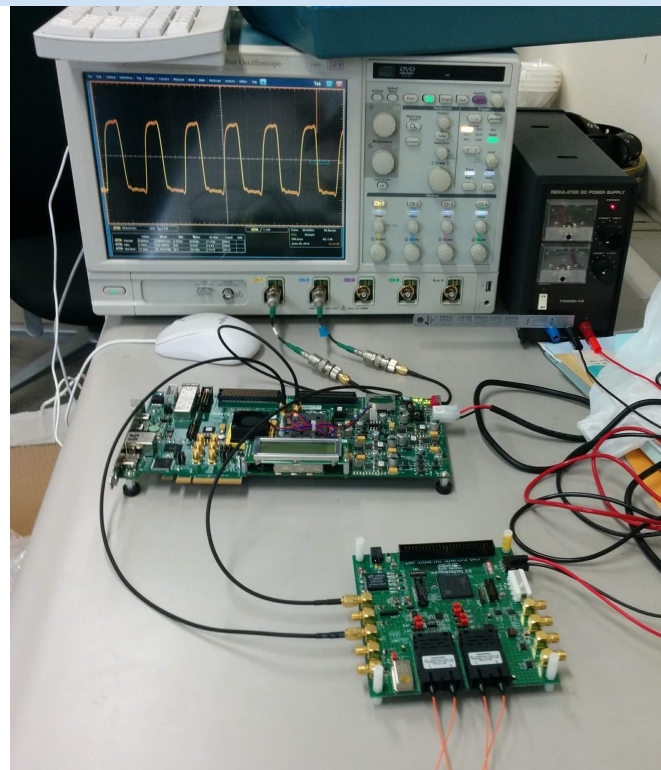
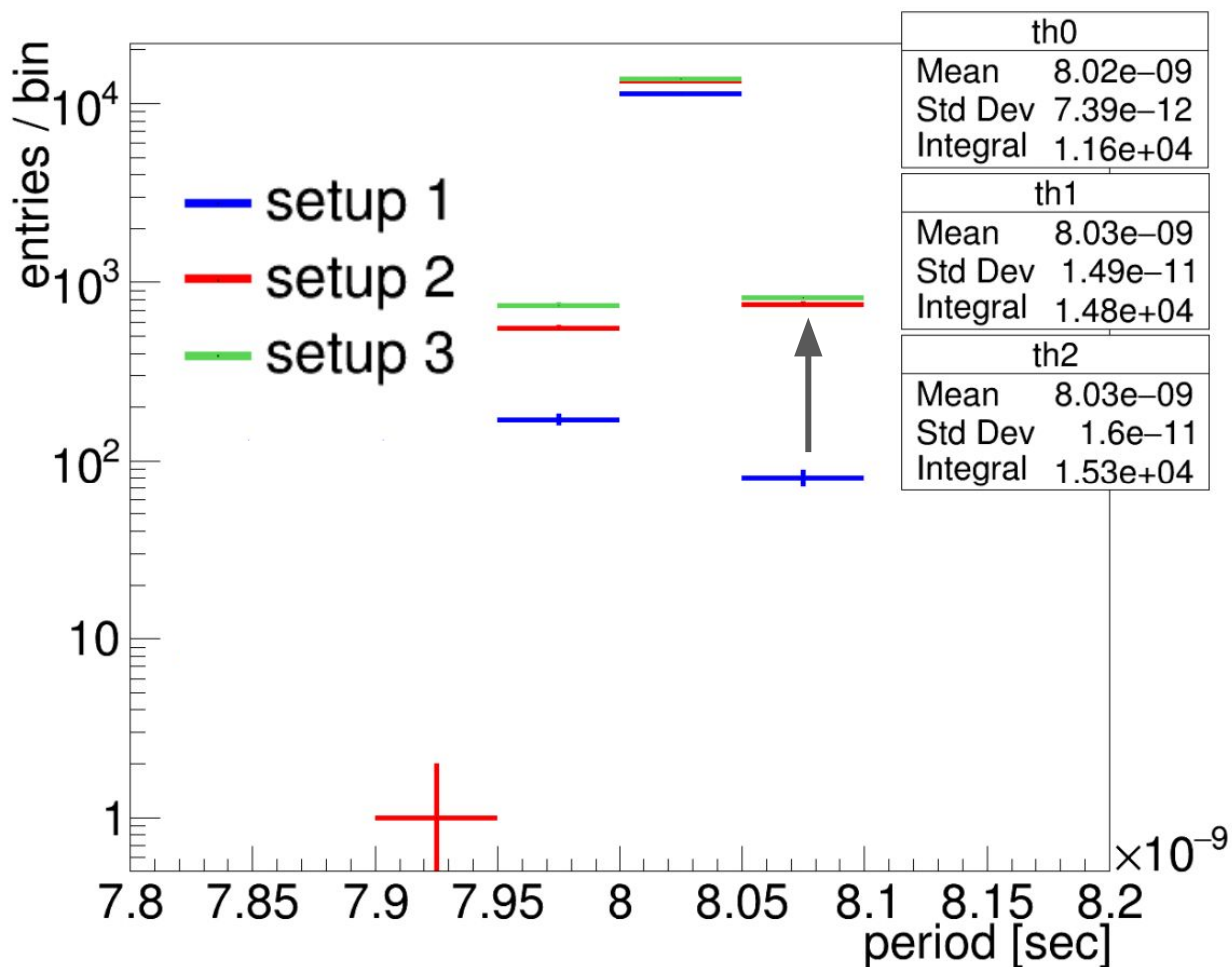
# ジッター評価 - 光ファイバの影響 -

- プロトタイプが出力する MCLK のジッターを評価した
- セットアップ：光ファイバによる影響を見るため3つを比較
  - (1) KC705 MCLK ジェネレータ
  - (2) KC705 + 光トランシーバ
  - (3) KC705 + 光トランシーバ + 200 m 光ファイバ



# 光ファイバの影響 - 結果 -

取得された周期をヒストグラムにした  
→ ピークの幅が僅かに増加

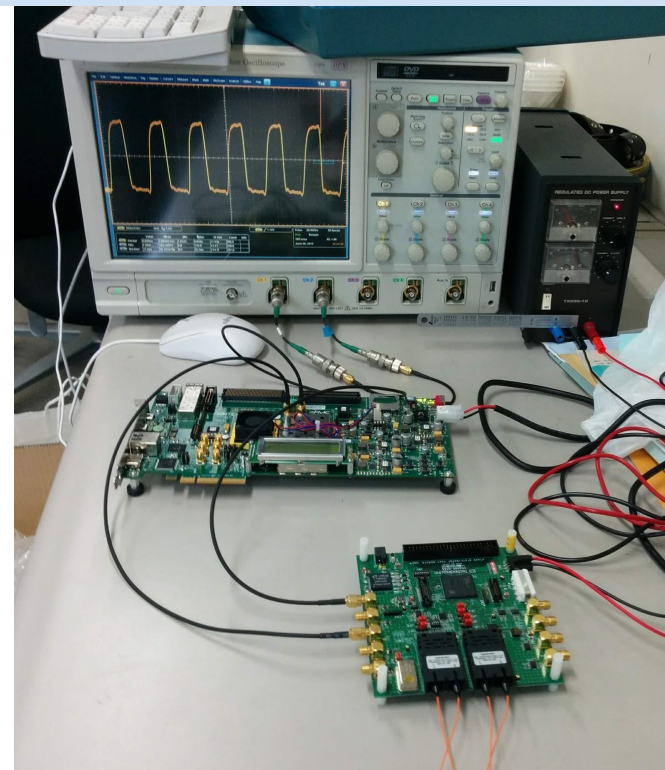


# 光ファイバの影響 - 結果 - (cont.)

Setup	Period jitter (RMS) [ / ps]
1. KC705	8 ± 10
2. KC705 + 光トランシーバ	15 ± 10
3. KC705 + 光トランシーバ + 200m光ファイバ	16 ± 10

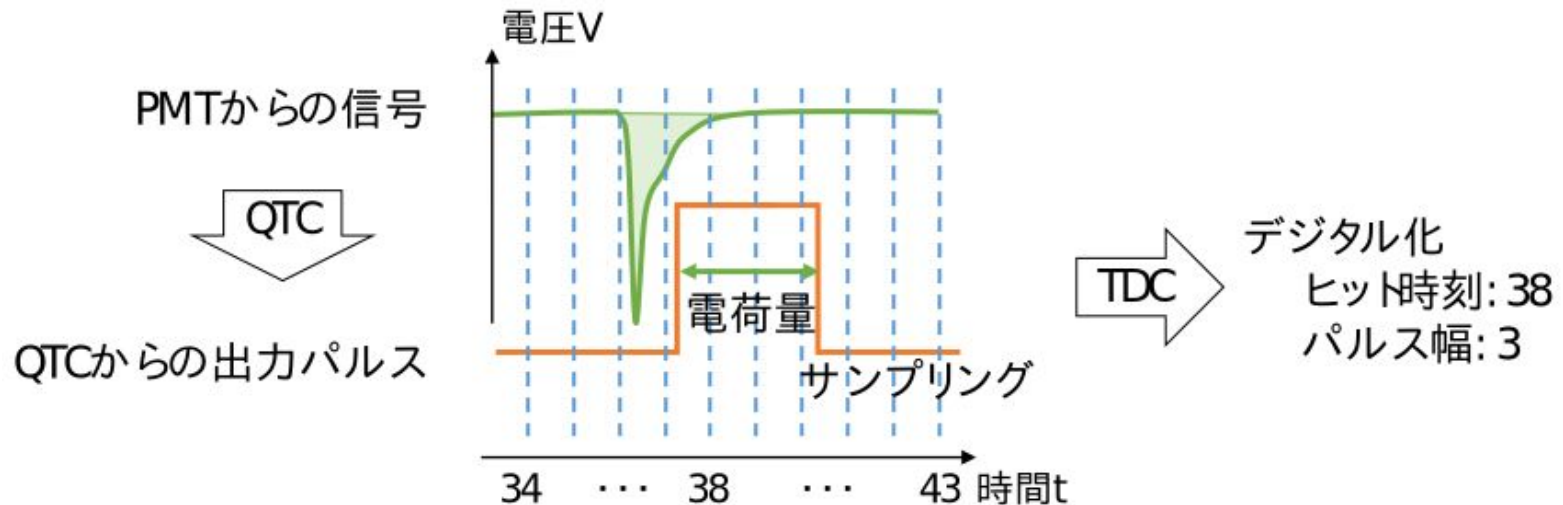
エラーはオシロの性能が主

- 光モジュールによる大きな変化はなかった  
→ 要求性能 (< 100 ps)を十分満たす
- ジッタークリーナの評価はこれから
  - より高性能なオシロが必要
  - 東大VDECにいいものがありそう

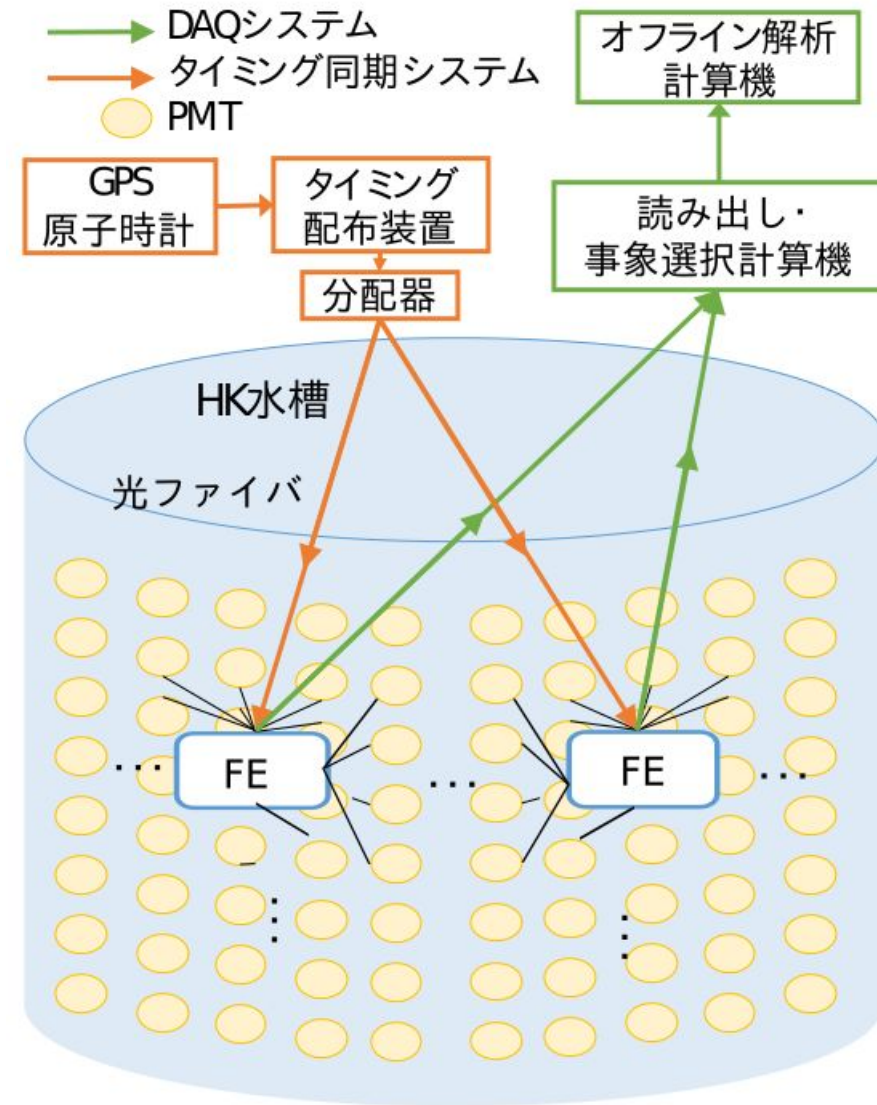


# QTCとTDCを用いたPMT信号の処理

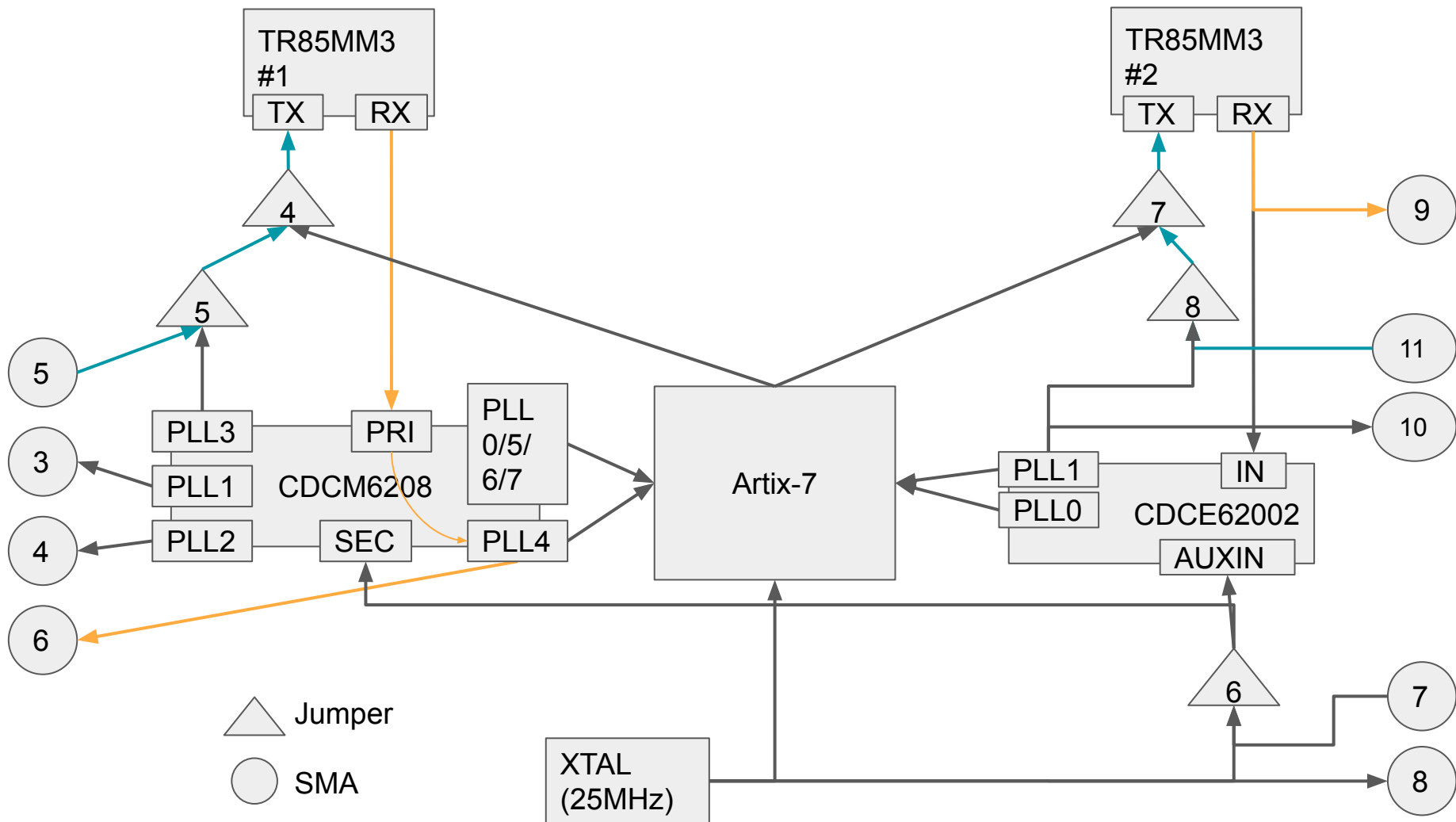
- QTC: Charge to Time Converter
  - PMT信号からパルスを生成: パルス幅 = 電荷量
- TDC: Time to Digital Converter
  - QTCからのパルスの立ち上がり時刻、パルス幅をデジタル値にする
- → 検出時刻、光量が分かる
- サンプリングの基準クロックが時間的にふらつくとPMTの検出時刻がずれる (時間的なふらつき = ジッター)
- ジッターを抑えることが重要:  $< 100 \text{ ps}$  (HKエレキの要求値)



# タイミング同期システムの全体像



# 光モジュール評価基板 (概念図)

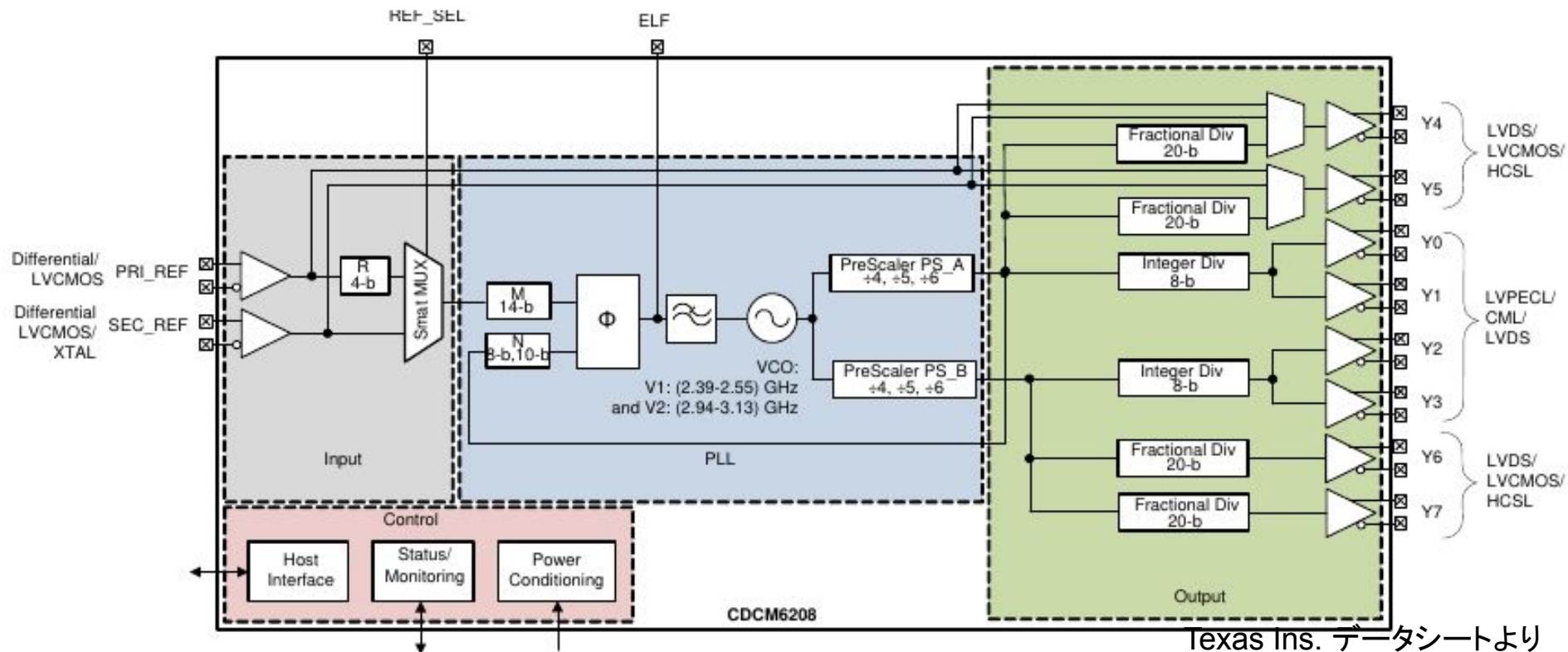


CDCM6208. Primarily から PLL4はバイパス

→ Metal to Opt.  
→ Opt. to metal

# CDCM6208のFunctional Design

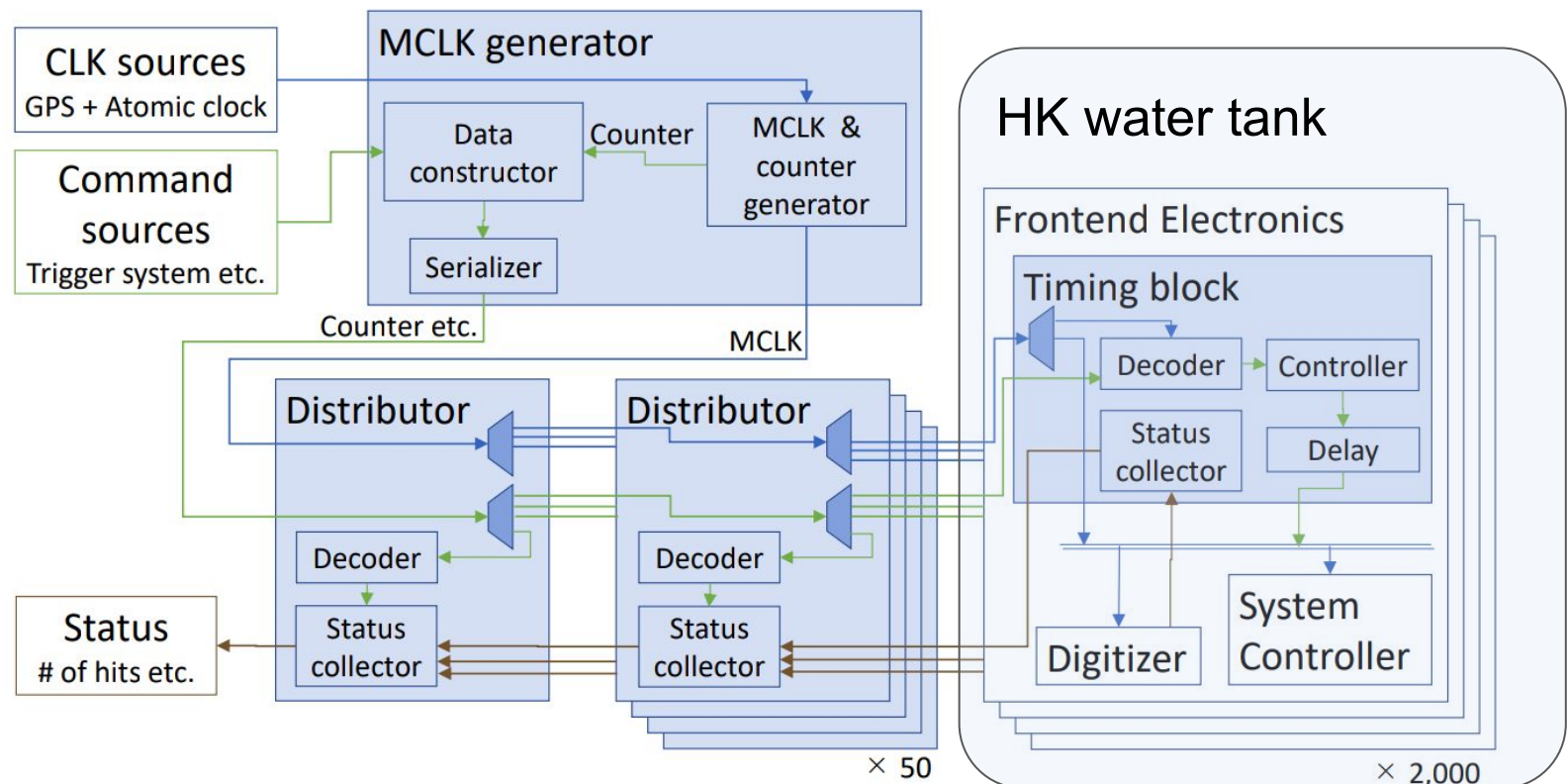
- Phase Locked Loopによってクロックを安定化
- 2つのクロックソースから選択
- 8 ch出力が可能
- メーカーはCDCE62002ではなく、こちらを推奨している





# タイミング同期システム

- 主な構成要素: Belle/Belle II のタイミングシステムも参考に
  - Master clock (MCLK) ジェネレータ、分配器、  
フロントエンドエレクトロニクス (FE)内のタイミングブロック
- 3種類の信号:
  - MCLK、FEへのデータ、FEからのデータ

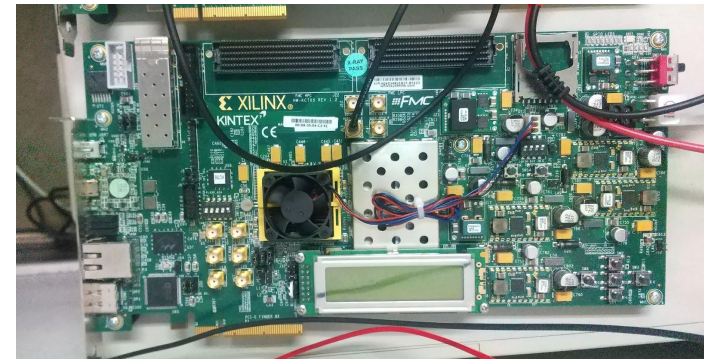


# FPGAへの実装

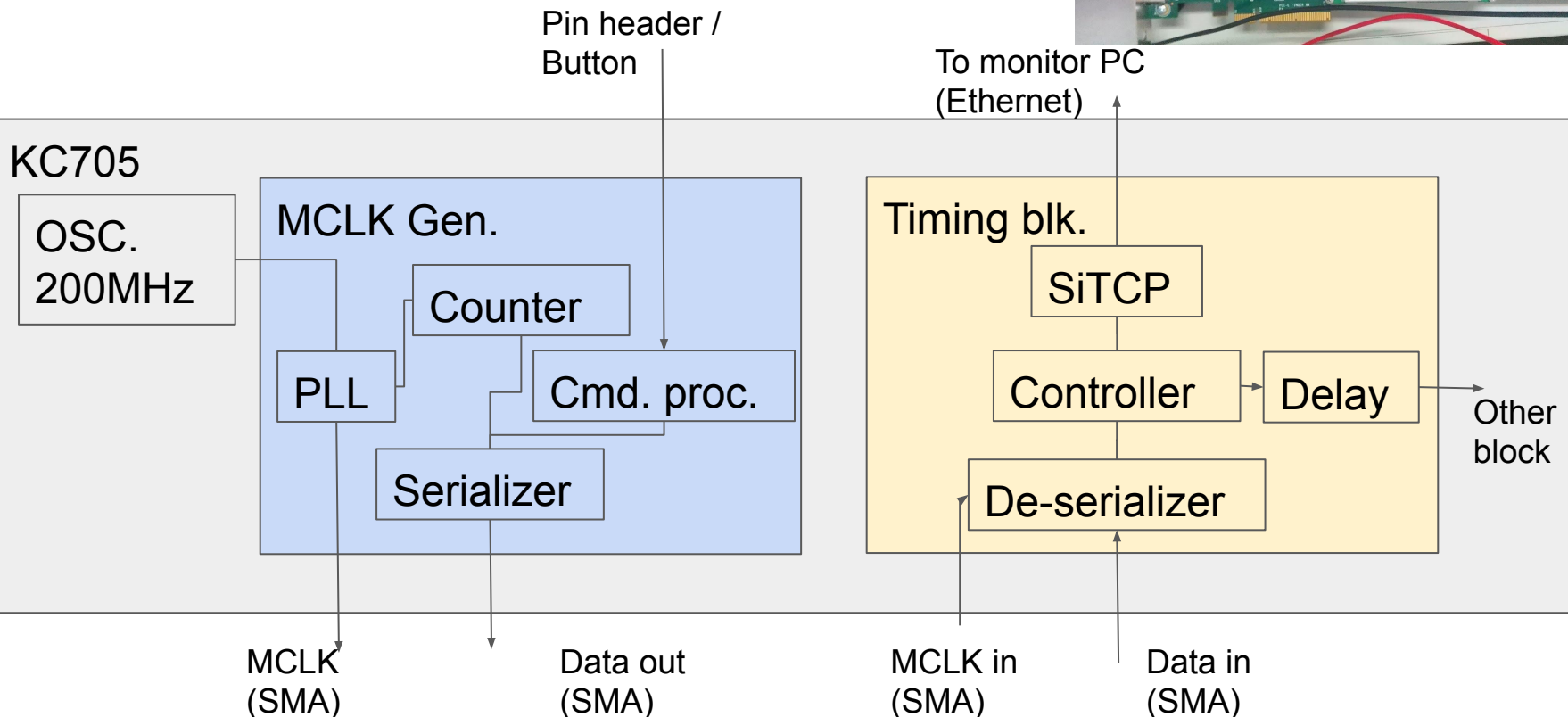
## プロトタイプをFPGA (Xilinx Kintex-7)に実装

- MCLKジェネレータ
- FE内のタイミングブロック
- タイミング信号による同期が確立

↓FPGA評価ボードKC705



To monitor PC  
(Ethernet)



# FPGAへの実装 (cont.)

- FPGA: Kintex 7, 325T
  - vivadoを用いてverilogにて開発
  - 赤: MCLKジェネレータのロジック
  - 青: FEでの受信側のロジック
  - その他: SiTCP
- 受信部からPCへのデータ
  - SiTCPを利用
  - SiTCPがPCへ送信するパケットの番号 (2桁)
  - 32ビットカウンタ (8桁)
  - 8B10Bのエラー情報 & MCLK gen.からのコマンド (2桁)
  - これらからデータの送受信を確認

```
B7001DB39DE0
B8001DB39EE0
B9001DB39FE0
BA001DB3A0E0
```

KC705からPCへ、  
このようなASCIIコードが  
送られてくる

緑部分がFPGA上で使用されているリソースを表す

